

특2000-0057915

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/78

(11) 공개번호 특2000-0057915
(43) 공개일자 2000년08월25일

(21) 출원번호	10-2000-0005396
(22) 출원일자	2000년02월03일
(30) 우선권주장	1999-025644 1999년02월03일 일본(JP)
(71) 출원인	가부시키가이샤 도시바 니시무로 타이조
(72) 발명자	일본국 가나가와켄 가와사끼시 사이와이꾸 호리가와조 72반지 나카요시 히데오 일본가나가와켄가와사끼시사이와이꾸고무카이도시바조1가부시키가이샤도시바 다마가와워크스내 다규신야 일본가나가와켄가와사끼시사이와이꾸고무카이도시바조1가부시키가이샤도시바 다마가와워크스내 마지마고우이찌 일본가나가와켄가와사끼시사이와이꾸고무카이도시바조1가부시키가이샤도시바 다마가와워크스내 도쿠부찌게이ске 일본가나가와켄가와사끼시사이와이꾸고무카이도시바조1가부시키가이샤도시바 다마가와워크스내 사사끼시게오 일본가나가와켄가와사끼시사이와이꾸고무카이도시바조1가부시키가이샤도시바 다마가와워크스내
(74) 대리인	장수길, 구영창

심사청구 : 없음

(54) 웨이퍼의 분할 방법 및 반도체 장치의 제조 방법

요약

본 발명은 웨이퍼의 분할시에서 칩핑을 방지하는 것을 목적으로 한다. 반도체 소자가 형성된 웨이퍼(21)의 다이싱 라인, 또는 칩 분할 라인에 따라 반도체 소자의 형성면(21')측으로부터 완성시의 칩의 두께보다 길고, 저부에 곡면을 갖는 홀(22)을 형성한다. 그리고, 상기 웨이퍼에 있어서 반도체 소자의 형성면에 보호용 시트(26)를 부착한 후, 웨이퍼의 표면을 연삭 및 연마하여 각각의 칩(29)으로 분할하며, 연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후 연삭 및 연마를 계속하여 완성시의 칩은 두꺼워진다. 이 때, 상기 웨이퍼의 연삭 및 연마가 상기 홀의 저부에 달하여 완성시의 칩 두께가 될 때까지의 연삭 및 연마량과 상기 홀의 저부에서 곡면을 갖는 영역의 깊이B와의 비 A/B는 0.3 이상인 것을 특징으로 한다.

도표도

도2

색인어

연마, 연삭, 지립경, 반도체 소자, 칩

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 다이싱 라인에 따라 웨이퍼에 홀을 형성하는 공정을 도시한 측면도.

도 2는 도 1에 도시한 홀의 확대 단면도.

도 3은 본 발명의 제1 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, (a)는 플랫 랑크의 사시도, (b)는 웨이퍼에 표면 보호 테이프를 부착하는 공정을 도시한 단면도.

도 4는 본 발명의 제1 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 웨이퍼 표면의 연삭 및 연마 공정(분할 공정)을 도시한 측면도.

도 5는 표면 연삭시에 연삭면이 홀의 저부에 달하여 완성 칩 두께가 될 때까지의 연삭량과, 홀의 저부의 곡면을 갖는 영역의 깊이의 비를 변경시킴과 동시에, 웨이퍼의 표면에 발생하는 칩핑의 평균 직경을 측정 한 결과를 도시한 도면.

도 6은 본 발명의 제1 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 분리한 칩을 픽업하는 공정을 도시한 측면도.

도 7은 본 발명의 제1 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 다이본딩 공정을 도시한 사시도.

도 8은 본 발명의 제1 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 외위기에 봉지하는 공정을 도시한 단면도.

도 9는 종래와 본 발명의 방법에서 웨이퍼를 각각의 칩으로 분리했을 때의 연삭면의 확대도이며, (a)는 종래의 방법에 의한 연삭면, (b)는 본 발명의 방법에 따른 연삭면을 도시한 도면.

도 10은 본 발명의 제1 실시예에 관한 반도체 장치의 제조 방법의 변형예에 대해 설명하기 위한 것으로, 웨이퍼에 표면 보호 테이프를 부착하는 공정을 도시한 사시도.

도 11은 본 발명의 제1 실시예에 관한 반도체 장치의 제조 방법의 변형예에 대해 설명하기 위한 것으로, 웨이퍼 표면의 연삭 및 연마 공정(분할 공정)을 도시한 측면도.

도 12는 본 발명의 제1 실시예에 관한 반도체 장치의 제조 방법의 변형예에 대해 설명하기 위한 것으로, 분리된 칩의 전사 공정(테이프의 교체 공정)을 도시한 사시도이며, (a)는 플랫 링크의 정착성의 시트상에 웨이퍼의 표면을 부착하는 공정이며, (b)는 표면 보호 테이프를 박리하는 공정을 도시한 도면.

도 13은 본 발명의 제2 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 본 발명을 LOC 패키지에 적용했을 때의 반도체 장치의 단면도.

도 14는 종래의 방법과 본 발명의 방법에 따른 가로 강도 분포를 비교하여 도시한 다이아그램.

도 15는 본 발명의 제3 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, (a) 내지 (e)는 각각 분리된 칩을 리드프레임에 장착하는 공정을 도시한 도면.

도 16은 본 발명의 제4 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, (a) 내지 (c)는 각각 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한 사시도.

도 17은 본 발명의 제5 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, (a) 내지 (c)는 각각 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한 사시도.

도 18은 본 발명의 제6 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, (a) 내지 (e)는 각각 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한 사시도.

도 19는 본 발명의 제7 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, (a) 내지 (e)는 각각 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한 사시도.

도 20은 본 발명의 제8 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, (a) 내지 (d)는 각각 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한 사시도.

도 21은 본 발명의 제9 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, (a) 및 (b)는 각각 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한 사시도.

도 22는 종래의 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 웨이퍼에 표면 보호 테이프를 부착하는 공정을 도시한 측면도.

도 23은 종래의 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 웨이퍼의 표면의 연삭 및 연마 공정을 도시한 측면도.

도 24는 종래의 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 표면 보호 테이프를 박리하는 공정을 도시한 측면도.

도 25는 종래의 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, (a)는 플랫 링크의 사시도, (b)는 웨이퍼를 고정용 시트에 고착한 상태를 도시한 도면.

도 26은 종래의 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 웨이퍼의 다이싱 공정을 도시한 측면도.

도 27은 종래의 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 분할한 칩을 픽업하는 공정을 도시한 측면도.

도 28은 종래의 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 다이본딩 공정을 도시한 사시도.

<도면의 주요 부분에 대한 부호의 설명>

21: 웨이퍼

21': 패턴 형성면

22: 홀

- 24: 다이싱용 블레이드
- 25, 47: 플랫 링크
- 26, 42, 46: 표면 보호 테이프
- 27: 표면 보호용 척 테이블
- 28: 연삭용 지석
- 29: 칩
- 30: 픽업 니들
- 31: 리드프레임의 아일랜드
- 32, 41: 도전성 페이스트
- 33: 패키지
- 34: 리드프레임
- 35: 본딩 와이어
- 36: 접착 테이프
- 37: 리드
- 38, 39, 44: 콜렉트
- 40: 디스펜서
- A: 연삭량
- B: 저부 영역의 홈
- C: 홈의 폭

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 웨이퍼의 분할 방법 및 반도체 장치의 제조 방법에 관한 것으로, 특히 웨이퍼상에 형성된 반도체 소자를 각각의 칩에 절단 분리하며, 외위기(外圍器)에 봉지하는 공정에 관한 것이며, 외위기의 소형 박막화나 웨이퍼의 대구경화에 적합한 것이다.

반도체 장치의 제조 공정은 웨이퍼(반도체 기판)상에 각각의 반도체 소자의 패턴을 형성하는 공정과, 웨이퍼상에 형성된 반도체 소자를 각각의 칩에 절단 분리하며, 외위기에 봉지하는 공정에 대별할 수 있다. 최근, 제조 비용의 저감을 나타내기 위해 웨이퍼의 대구경화가 추진됨과 동시에, 실장 밀도를 높이기 위해 외위기의 소형 박막화가 요구되고 있다. 종래는, 박막화한 외위기에 봉지하기 위해, 웨이퍼를 각각의 칩에 절단 분리하는 것에 선행하여, 웨이퍼의 패턴 형성면(주표면)의 반대측면(웨이퍼의 이면)을 지석에 의한 연삭 및 연마등에 의해 제거하여 박리하며, 그 후 다이싱하여 절단 분리한다. 연삭시에는, 웨이퍼의 패턴 형성면에 점착성의 시트를 부착하거나, 레지스트등을 도포함으로써 보호한다. 그 후, 상기 웨이퍼의 주표면에 형성된 절단 분리(다이싱) 라인 영역에 홈을 형성한다. 그 홈을 형성할 때에는, 다이아몬드스크라이버, 다이아몬드플레이트, 또는 레이저스크라이버등을 이용한다. 상기 다이싱 공정에는, 웨이퍼 단체에서 이 웨이퍼 두께의 1/2까지 다이싱 또는 웨이퍼가 30 μ m 정도 남은 상태까지 다이싱을 행하는 하프 컷(half-cut)법, 웨이퍼의 이면에 점착성의 시트를 부착하여 마찬가지로 다이싱하는 하프컷법, 점착성의 시트를 20~30 μ m 정도까지 들어가게 하고, 웨이퍼 두께 전체를 절단하는 풀 컷(full cut)법등이 이용된다. 상기 하프컷법은, 분할 작업이 요구되며, 웨이퍼 단체의 경우에는 웨이퍼를 유연성이 있는 필름 등에 끼워 롤러등에서 외력을 가하여 나누어 분할한다. 시트에 부착한 경우에는, 테이프 너머로 롤러 그 외에서 외력을 가하여 분할한다. 분할된 칩은 다이 본딩 장치에 설치되어 있는 픽업 니들에 의해 시트 이면을 밀어올려 이 시트를 관통하여 칩 이면에 니들(바늘)을 직접 접촉시키며, 다시 들어올려 칩을 시트로부터 분리한다. 분리된 칩은 콜렉트(collect)라 하는 통에서 칩 표면을 흡착하며, 리드프레임의 아일랜드에 장착한 후, 와이어 본딩을 행하여 칩의 각 패드와 리드프레임의 내부 리드부를 전기적으로 접속시켜 외위기에 봉지한다. 상기 칩의 아일랜드에의 장착 방법으로는 아일랜드에 도전성 페이스트를 미리 도포해가는 방법, 금-실리콘의 공정(共晶)을 이용하여 장착하는 방법, 및 웨이퍼의 이면에 금속의 박막을 피착하며 반전을 이용하여 장착하는 방법등이 있다.

도 22 및 도 28은 각각 상술한 바와 같은 종래의 웨이퍼의 분할 방법 및 반도체 제조 방법의 상세한 예에 대해 설명하기 위한 것으로, 도 22는 웨이퍼에 표면 보호 테이프를 부착하는 공정, 도 23은 웨이퍼 이면의 연삭 및 연마 공정, 도 24는 이면 보호 테이프를 박리하는 공정, 도 25(a), (b)는 웨이퍼를 고정용 시트에 고정하는 공정, 도 26은 웨이퍼의 다이싱 공정, 도 27은 분리한 칩을 픽업하는 공정, 및 도 28은 다 이본딩 공정을 각각 도시한다.

먼저, 도 22에 도시한 바와 같이, 웨이퍼(1)의 이면을 척(chuck) 테이프(2)상에 고정하여, 부착한 롤러(4)를 회전시키면서 도시한 화살표 방향으로 이동시켜 보호 테이프(3)를 웨이퍼(1)의 패턴 형성면(웨이퍼(1)의 주표면)(1')에 부착한다. 이 웨이퍼(1)내에는, 패턴 형성면(1')측에 각 종의 반도체 소자가 형성

되어 있다. 다음에, 도 23에 도시한 바와 같이, 상기 보호 테이프(3)를 부착한 패턴 형성면(1')을 아래로 하여 척 테이프(5)에 고정하여, 웨이퍼(1)의 이면을 연삭용 지석(6)으로 소정의 두께(완성시의 최종적인 칩 두께)까지 연삭 및 연마한다. 그 후, 도 24에 도시한 바와 같이, 보호 테이프(3)에 보호 테이프를 박리하기 위한 테이프(7)를 부착하며, 패턴 형성면(1')으로부터 보호 테이프(3)를 박리한다. 다음에, 도 25(a)에 도시한 바와 같은 플랫 텀크(8)를 다이싱용의 척 테이프(10)에 고정하여, 다이싱용 플레이트(11)에서 다이싱(폴링)하며, 각각의 칩(12)에 절단 분리한다(도 26 참조). 다음에, 도 27에 도시한 바와 같이, 시트(9)의 아래쪽으로부터 픽업 니들(13)을 시트(9)으로 관통시켜 칩(12)의 이면에 대응하여 위쪽 방향으로 압입함으로써 각각의 칩(12)을 시트(9)로부터 박리하며, 도 28에 도시한 바와 같이 리드프레임의 아일랜드(14)에 도전성 페이스트등의 다이본딩용 접착제를 이용하여 장착한다. 그 후, 도시하지 않은 것은 리드프레임의 내부 리드부와 칩(12)의 각 패드를ワイ어 본딩하며, 수지제나 세라믹제의 외위기에 봉지하여 반도체 장치를 완성한다.

따라서, 상기와 같은 웨이퍼의 분할 방법 및 반도체 장치의 제조 방법에서는, 하기 (a)~(c)에 도시한 바와 같은 문제가 있다.

(a) 박막 연삭시에 웨이퍼가 나누어지기 쉽다. 보호 테이프를 부착하여 연삭을 행해도, 연삭시의 오류로 인해 웨이퍼가 변형하며, 이로 인해 연삭 장치내에서의 반송시에 부딪치거나 하여 파손한다. 또한, 웨이퍼가 얇거나 대구경화됨에 따라 웨이퍼의 강도가 저하하기 때문에, 현 상태와 같이 웨이퍼를 얇게 한 후, 웨이퍼 단계를 반송하여 각각의 처리를 실시하는 방법에서는 파손할 확률이 높아진다. 예를 들면 웨이퍼는 400 μ m의 두께에서는 1.6kgf/mm² 정도까지 견디지만, 두께가 200 μ m로 되면 0.4kgf/mm²과 1/4까지 저하한다.

(b) 패턴 형성면의 보호와 다이싱시의 웨이퍼 보유율으로서 2매의 시트를 사용하기 때문에, 이를 부착, 박리, 부착과 공정이 각각 필요하며, 재료비가 높아지거나 제조 공정도 증가한다.

(c) 다이싱을 행한 경우, 웨이퍼의 이면측의 칩핑이 커지며, 칩의 가로 강도가 저하를 초래한다. 게다가, 종래는 각종의 특성 모니터용의 트랜지스터, 저항 및 콘덴서등(이들을 TEG: Test Element Group라 함)을 칩내에 배치했지만, 최근에는 고집적화를 내태내기 위해 다이싱 라인상에 배치한 바와 같이 되었다. 주지된 바와 같이, 이들의 소자는 산화막, 알루미늄등으로 구성되어 있으며, 다이아몬드플레이트를 이용하여 다이싱을 행할 때, 지석의 미물질이 생기기 쉬워, 깔끔한 절단이 어려운 재료이다. 이로 인해, 다이싱 라인상에 TEG가 배치되어 있는 경우에는, 웨이퍼의 이면측의 칩핑이 다시 커진다. 일반적으로 반도체 가판으로서 사용되는 재료는 실리콘이나 GaAs등이, 취성재(脆性材)이기 때문에, 칩핑이나 크랙등이 존재하면 가로 강도의 저하를 초래하기 쉽다.

상기와 같이 종래의 웨이퍼의 분할 방법 및 반도체 장치의 제조 방법은 박막 연삭등이나 반송시에 웨이퍼가 나누어지기 쉽다는 문제가 있었다. 또한, 패턴 형성면을 보호하고 웨이퍼를 보유하기 위해 2매의 시트를 필요로 하기 때문에, 재료비가 높아지거나 제조 공정도 증가한다는 문제가 있었다. 또, 다이싱을 행한 경우, 웨이퍼의 이면측의 칩핑이 커지거나, 칩의 가로 응력의 저하를 초래한다는 문제가 있었다.

본 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 사정에 입각하여 이루어진 것이므로, 그 목적으로 하는 것은 박막 연삭이나 반송시의 웨이퍼의 분할을 억제할 수 있는 웨이퍼의 분할 방법 및 반도체 장치의 제조 방법에 제공하는 것에 있다.

또한, 본 발명의 다른 목적은 제조 공정과 비용의 감소가 나타나게 되는 웨이퍼의 분할 방법 및 반도체 장치의 제조 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 웨이퍼의 이면측의 칩핑을 작게 할 수 있으며, 칩의 가로 응력의 저하를 억제할 수 있는 웨이퍼의 분할 방법 및 반도체 장치의 제조 방법을 제공하는 것이다.

본 발명의 웨이퍼의 분할 방법은 반도체 소자가 형성된 웨이퍼의 다이싱 라인에 따라 선단부에 곡면을 갖는 다이싱용 플레이트를 이용하여 상기 반도체 소자의 형성면으로부터 완성시의 칩의 두께보다 깊고, 저부에 곡면을 갖는 홈을 형성하는 공정과, 상기 웨이퍼에 있어서의 상기 반도체 소자의 형성면상에 보호 부재를 부착하는 공정과, 상기 웨이퍼의 표면을 연삭 및 연마하여, 웨이퍼를 각각의 칩으로 분할하며, 연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후에도 연삭 및 연마를 계속하여 상기 완성시의 칩 두께로 하는 공정을 포함하며, 상기 웨이퍼의 연삭 및 연마면이 상기 홈의 밑하여 완성시의 칩 두께가 될 때까지의 연삭 및 연마량과, 상기 홈의 저부에서 곡면을 갖는 영역의 깊이의 비가 0.3 이상인 것을 특징으로 한다.

또한, 본 발명의 웨이퍼의 분할 방법은, 반도체 소자가 형성된 웨이퍼의 칩 분할 라인에 따라 예칭함으로써 상기 반도체 소자의 형성면측으로부터 완성시의 칩 두께보다 깊은 홈을 형성하는 공정과, 상기 웨이퍼에서의 상기 반도체 소자의 형성면상에 보유 부재를 부착하는 공정과, 상기 웨이퍼의 표면을 연삭 및 연마하여 웨이퍼를 각각의 칩으로 분할하는 공정을 포함하며, 연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후에도 연삭 및 연마를 계속하여, 상기 완성시의 칩 두께로 되는 것을 특징으로 한다.

또한, 본 발명의 웨이퍼의 분할 방법은 반도체 소자가 형성된 웨이퍼의 칩 분할 라인에 따라 칩핑함으로써, 상기 반도체 소자의 형성면측으로부터 완성시의 칩 두께보다 깊으며, 저부에 곡면을 갖는 홈을 형성하는 공정과, 상기 웨이퍼에서의 상기 반도체 소자의 형성면상에 보유 부재를 부착하는 공정과, 상기 웨이퍼의 표면을 연삭 및 연마하여 웨이퍼를 각각의 칩으로 분할하며, 연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후에도 연삭 및 연마를 계속하여 상기 완성시의 칩 두께로 하는 공정을 포함하며, 상기 웨이퍼의 연삭 및 연마량과, 상기 홈의 저부에 있어서의 곡면을 갖는 영역의 깊이와의 비가 0.3 이상인 것을 특징으로 한다.

그리고, 하기 (A)~(E)와 같은 특징을 구비한다.

- (A) 상기 홀의 깊이는 상기 완성시의 칩 두께보다 적어도 $5\mu\text{m}$ 깊다.
- (B) 상기 홀의 깊이는 상기 완성시의 칩 두께보다 $5\mu\text{m}$ 내지 $60\mu\text{m}$ 깊다.
- (C) 상기 보호 부재는 점착재 부착 테이프, 왁스, 흡착 패드, 열압착 시트, 점착재를 도포한 기판, 및 상기 반도체 소자상에 도포한 레지스트 중에서 선택된 적어도 하나의 재료이다.
- (D) 상기 웨이퍼의 표면을 연삭 및 연마하여, 상기 완성시의 칩 두께가 되는 공정과, 제1 지립경의 연삭 지석에 의해 상기 웨이퍼의 곡면을 상기 완성시의 칩보다 두껍게 연삭 및 연마하는 제1 공정과, 상기 제1 공정에서 연삭 및 연마 지석을 이용하여 상기 완성시의 칩 두께까지 연삭 및 연마하는 제2 공정을 포함한다.
- (E) 주요한 상기 제1 지립경은 $40\sim 60\mu\text{m}$ 이며, 주요한 상기 제2 지립경은 $4\sim 6\mu\text{m}$ 이다.

상기와 같은 웨이퍼의 분할 방법에 따르면, 웨이퍼의 소자 형성면측으로부터 완성시의 칩 두께보다 깊은 홀을 다이싱 블레이드를 이용하여 또는 예칭에 의해 완성하며, 이 웨이퍼의 표면을 상기 완성시의 칩 두께까지 연삭 및 연마함으로써, 웨이퍼를 각각의 칩으로 분할하기 때문에, 다이싱때의 칩핑을 억제할 수 있다. 또한, 홀의 저부에 곡면을 형성하면, 웨이퍼의 표면을 연삭 및 연마하여 행할 때, 홀 저부의 에지 형태에 의해 웨이퍼의 큰 강도 향상이 나타나고, 웨이퍼가 각각의 칩으로 분할되기 직전에서의 실리콘 조각의 발생을 억제할 수 있으며, 칩 단면의 손상을 억제하여 칩 품질을 향상할 수 있다. 물론, 웨이퍼의 연삭 및 연마면이 홀의 저부에 달하여 완성시의 칩 두께가 될 때까지의 연삭 및 연마량과, 홀의 저부에서 곡면을 갖는 영역의 깊이와의 비를 0.3 이상으로 하며, 연삭 및 연마시에 발생하는 칩핑의 평균 직경을 보다 작게 하여 칩 품질을 더 향상한다.

또한, 홀의 깊이를 완성시의 칩 두께보다 적어도 $5\mu\text{m}$ 깊고, 바람직하게는 $5\sim 60\mu\text{m}$ 깊이로 형성함에 따라, 미분리등의 품질 열화를 방지하며, 연삭량을 최적화하여 생산성을 떨어뜨리지 않고 연삭이상을 감소시킬 수 있다. 물론, 웨이퍼의 표면을 연삭 및 연마하여 각각의 칩으로 분리할 때에, 다이싱이나 예칭에 의해 형성된 절단면과 연삭 및 연마에 의해 형성된 연마면이 교차하는 부분에 칩핑이 발생해도, 이 영역을 연삭 및 연마에 의해 제거할 수 있다.

상기 보호 부재로서는, 점착부재 테이프, 왁스, 흡착 패드, 열압착 시트, 점착재를 도포한 기판, 및 반도체 소자상에 도포한 레지스트등의 재료를 이용할 수 있다.

웨이퍼를 각각의 칩으로 분할하는 공정에서, 먼저 지립경의 큰 연삭지석에 의해 연삭 및 연마한 후, 지립경의 작은 연삭 지석 및 연마에 따라 시간 단축이 나타나며 칩핑의 발생을 억제할 수 있다.

본 발명의 반도체 장치의 제조 방법은 웨이퍼의 주표면에 반도체 소자를 형성하는 공정과, 상기 웨이퍼의 다이싱 라인에 따라 선단부에 곡면을 갖는 다이싱용 블레이드를 이용하여 상기 웨이퍼의 주표면측으로부터 완성시의 칩 두께보다 깊고, 저부에 곡면을 갖는 홀을 형성하는 공정과, 상기 웨이퍼의 주표면에 점착성의 시트를 부착하는 공정과, 상기 웨이퍼의 표면을 연삭 및 연마하여, 웨이퍼를 각각의 칩으로 분리하며, 연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후에도 연삭 및 연마를 계속하여 상기 완성시의 칩을 두껍게 하는 공정과, 상기 분리된 각 칩을 상기 점착성의 시트로부터 박리하여 외위기로 봉지하는 공정을 포함하며, 상기 웨이퍼의 연삭 및 연마면이 상기 홀의 저부에 달하여 완성시의 칩 두께가 될 때까지의 연삭 및 연마량과, 상기 홀의 저부에서의 곡면을 갖는 영역의 깊이와 비는 0.3 이상의 것을 특징으로 한다.

또한, 본 발명의 반도체 장치의 제조 방법은 웨이퍼의 주표면에 반도체 소자를 형성하는 공정과, 상기 웨이퍼의 칩 분할 라인에 따라 예칭함으로써, 상기 웨이퍼의 주표면측으로부터 완성시의 칩 두께보다 깊은 홀을 형성하는 공정과, 상기 웨이퍼의 주표면에 점착성의 시트를 부착하는 공정과, 상기 웨이퍼의 표면을 연삭 및 연마하여 웨이퍼를 각각의 칩으로 분할하는 공정과, 상기 분리된 각 칩을 상기 점착성의 시트로부터 박리하여 외위기로 봉지하는 공정을 포함하며, 연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후에도 연삭 및 연마를 계속하여 상기 완성시의 칩 두께로 하는 것을 특징으로 한다.

또한, 본 발명의 반도체 장치의 제조 방법은, 웨이퍼의 주표면에 반도체 소자를 형성하는 공정과, 상기 웨이퍼의 칩 분할 라인에 따라 예칭함으로써, 상기 웨이퍼의 주표면측으로부터 완성시의 칩 두께보다도 깊고, 저부에 곡면을 갖는 홀을 형성하는 공정과, 상기 웨이퍼의 주표면에 점착성의 시트를 부착하는 공정과, 상기 웨이퍼의 표면을 연삭 및 연마하여 웨이퍼를 각각의 칩으로 분리하며, 연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후에도 연삭 및 연마를 계속하여 상기 완성시의 칩 두께로 하는 공정과, 상기 분리된 각 칩을 상기 점착성의 시트로부터 박리하여 외위기로 봉지하는 공정을 포함하며, 상기 웨이퍼의 연삭 및 연마면이 상기 홀의 저부에 달하여 완성시의 칩 두께로 할 때까지의 연삭 및 연마량과, 상기 홀의 저부에서 곡면을 갖는 영역의 깊이와의 비가 0.3 이상의 것을 특징으로 한다.

그리고, 하기 (F) ~ (K)와 같은 특징을 구비한다.

(F) 상기 홀의 깊이는 상기 완성시의 칩 두께보다 적어도 $5\mu\text{m}$ 깊다.

(G) 상기 홀의 깊이는 상기 완성시의 칩 두께보다 $5\mu\text{m}$ 내지 $60\mu\text{m}$ 깊다.

(H) 상기 분할한 각 칩을 상기 점착성의 시트로부터 박리하여 외위기에 봉지하는 공정은 상기 점착성의 시트로부터 박리한 칩을 리드프레임의 아일랜트 장착하는 공정과, 상기 리드프레임의 내부 리드부와 상기 칩의 각 패드를 와이어 본딩하는 공정과, 상기 칩, 상기 아일랜트, 및 상기 내부 리드부를 외위기로 봉지하는 공정을 포함한다.

(I) 상기 분할한 각 칩을 상기 점착성의 시트로부터 박리하여 외위기로 봉지하는 공정은 상기 점착성의 시트로부터 박리한 칩의 주표면에 리드의 일단을 점착하는 공정과, 상기 리드와 상기 칩의 각 패드를 와이어 본딩하는 공정과, 상기 칩, 상기 리드의 일단을 외위기로 봉지하는 공정을 포함한다.

(J) 상기 웨이퍼의 표면을 연삭 및 연마하여, 상기 완성시의 칩의 두께가 되는 공정과, 제1 지립경의 연

삭 지석에 의해 상기 웨이퍼의 표면을 상기 완성시의 칩보다 두껍게 연삭 및 연마하는 제1 공정과, 상기 제1 공정에서 연삭 및 연마한 상기 웨이퍼의 표면을 상기 제1 지립경보다 작은 제2 지립경의 연삭 지석에 이용하여 상기 완성시의 칩 두께까지 연삭 및 연마하는 제2 공정을 포함한다.

(K) 주요한 상기 제1 지립경은 40~60 μ m이며, 주요한 상기 제2 지립경은 4~6 μ m이다.

상기와 같은 반도체 장치의 제조 방법에 따르면, 웨이퍼상에 형성된 반도체 소자 각각의 칩마다에 절단 분리하여 외위기로 봉지하는 공정은, 다이싱(하프 컷), 웨이퍼의 표면 연삭 및 연마, 다이본딩의 순이다. 즉, 웨이퍼를 각각의 칩으로 분할하는 것은 연삭 및 연마에 의해 행함으로써, 웨이퍼의 표면을 연삭 및 연마하여 박막화한 상태에서의 반응이나 처리 공정이 없기 때문에, 웨이퍼의 파손을 방지할 수 있다.

시트는 1매로 제한한 재료 비용의 감소와 제조 공정의 감소가 나타나고, 저비용화할 수 있다. 외력을 가하여 웨이퍼를 분할할 필요가 없기 때문에 칩핑을 억제할 수 있다.

웨이퍼의 표면층을 절삭 및 연마에 의해 제거하여 각각의 칩으로 분할하므로, 웨이퍼의 표면층에 발생하는 칩핑을 억제할 수 있으며, 가로 응력의 저하를 억제할 수 있다. 또한, 홀의 저부에 곡면을 형성하면, 웨이퍼의 표면을 연삭 및 연마하여 행할 때, 홀 저부의 에지 형태로 인해 웨이퍼의 큰 강도 향상을 나타내며, 웨이퍼가 각각의 칩으로 분리되기 직전에 있어서의 실리콘 조각의 발생을 억제할 수 있다. 칩 단면의 손상을 억제하여 칩 품질을 향상할 수 있다. 게다가, 웨이퍼의 연삭 및 연마면이 홀의 저부에 담하여 완성시의 칩 두께가 될 때까지의 연삭 및 연마량과, 홀의 저부에서 곡면을 갖는 영역의 두께와의 비율 0.3 이상으로 하므로, 연마 및 연삭시에 발생하는 칩핑의 평균 직경을 보다 작게 하여 칩 품질을 더욱 향상할 수 있다.

또한, 홀의 깊이를 완성시의 칩 두께보다 적어도 5 μ m 깊고, 바람직하게는 5 내지 60 μ m 깊이로 형성하면, 미분리등의 품질 열화를 방지하며, 연삭량을 최적화하여 생산성을 떨어뜨리지 않고 연삭 이상을 감소시킬 수 있다. 또한, 웨이퍼의 표면을 연삭 및 연마하여 각각의 칩으로 분리할 때, 다이싱이나 에칭에 의해 형성된 절단면과 연삭 및 연마에 의해 형성된 연마면이 교차하는 부분에 칩핑이 발생해도 이 영역을 연삭 및 연마에 의해 제거할 수 있다.

외위기로 봉지할 때에는, 통상의 수지 패키징이나 세라믹으로 봉지해도 좋고, LOC(Lead On Chip) 패키지로 봉지해도 좋다.

또한, 웨이퍼를 각각의 칩으로 분리하는 공정에 있어서, 먼저 지립경의 큰 연마 지석에 의해 연삭 및 연마한 후, 지립경의 작은 연마 지석에 의해 연삭 및 연마하면, 시간의 단축이 나타내며, 칩핑의 발생도 감소시킬 수 있다.

발명의 구성 및 작용

이하, 본 발명의 실시예에 대해 도면을 참조하여 설명한다.

[제1 실시예]

도 1 내지 도 8은 각각 본 발명의 제1 실시예에 관한 웨이퍼의 분할 방법 및 반도체 장치의 제조 방법에 대해 설명하기 위한 것이므로, 도 1은 다이싱 라인에 따라 웨이퍼에 홀을 형성하는 공정, 도 2는 홀의 확대 단면도, 도 3(a), (b)는 웨이퍼에 표면 보호 테이프를 부착하는 공정, 도 4는 웨이퍼 이면의 연삭 및 연마 공정(분할 공정), 도 5는 웨이퍼의 연삭 및 연마면이 홀의 저부에 담하므로, 완성시의 칩 두께가 될 때까지의 연삭 및 연마량과, 홀의 저부에 있어서 곡면을 갖는 영역의 깊이와 비를 변화시켰을 때에, 웨이퍼의 연삭 및 연마면에 발생하는 칩핑이 평균 직경을 측정할 결과를 도시한 도면, 도 6은 분리한 칩을 픽업하는 공정, 도 7은 다이본딩 공정 및 도 8은 외위기에 봉지하는 공정을 각각 도시하고 있다.

먼저, 도 1에 도시한 바와 같이, 각종의 반도체 소자가 형성된 웨이퍼(21)를 패턴 형성면(웨이퍼(21)의 주표면)(21')측을 위로 하여, 다이싱 장치의 척 테이블(23)에 그 다른 방법에서 흡착하여 고정한다. 그리고, 선단부에 곡면을 갖는 다이싱용 블레이드(24)를 임의의 회전수로 회전시켜 절삭수를 뿌리면서 소정의 깊이까지 다이싱 라인에 따라 홀(22)을 판다. 이 홀(22)의 깊이는 완성시의 칩 두께(완성 칩 두께)보다 적어도 5 μ m, 바람직하게는 5 μ m 내지 60 μ m 깊이로 한다.

이와 같이, 도 2에 도시한 바와 같이, 폭(다이싱용 블레이드(24)의 폭에 대응함)은 D로, 저부에 곡면을 갖는 홀(22)이 형성된다. 이 홀(22)의 곡면을 갖는 영역의 깊이(다이싱용 블레이드(24)에서 선단부의 곡면을 갖는 영역의 돌출량에 대응함)는 B이다.

또, 상기 홀(22)은 상기 다이싱용 블레이드(24)를 이용하여 기계적으로 형성할 뿐만 아니라, 에칭등의 화학적인 방법으로 형성하여도 무방하다. 예를 들면, 이방성 에칭과 등방성 에칭을 조합시킴으로써, 도 2에 도시한 바와 같은 단면 형태의 홀(22)을 형성할 수 있다. 즉, 웨이퍼(21)의 주표면(21')상에 포토레지스트를 살포하여 PEP법등에 의해 칩 분할 라인(다이싱 라인에 대응함)상을 노출시킨 후, KOH 용액으로 침적 시킴으로써 웨이퍼(21)를 깊이 방향(웨이퍼(21)의 주표면과 직교하는 방향)으로 선택적으로 에칭한다. 또는, KOH 용액을 이용한 웨이퍼 에칭 대신에 RIE등의 건식 에칭 기술의 적용도 고려된다. 예를 들면, 진공도 60mtorr로 에칭 가스로서 SF₆가스나 SF₆/CF₄계 혼합 가스에 의해 실리콘만을 선택적으로 에칭할 수 있다. 특히, SF₆/CF₄계 혼합 가스에서는 양호한 이방성 에칭이 가능하며, 웨이퍼(21)의 주표면(21')에 대하여 거의 수직인 홀가공이 가능해진다. 그 후, 홀의 저부를 등방성 에칭함으로써, 도 2에 도시한 바와 같이 저부에 곡면을 가진 홀(22)을 형성한다.

상기 에칭을 이용한 홀(22)의 형성 방법은 다이아몬드 블레이드 등의 다이싱용 블레이드(24)를 이용하는 경우에 비해, 홀(22)의 측벽(절단면)이 기계적인 응력의 영향을 받기 때문에, 절단면에 발생하는 결정 결함을 감소시킬 수 있다. 이로써, 반드시 홀(22)의 저부에 곡면을 형성해도 좋다.

물론, 상술한 기계적 또는 화학적인 형성 방법뿐 아니라, 레이저 스쿠라이버등과 같은 광학적인 방법을 이용하여 홀(22)을 형성할 수도 있다. 도 1에 도시한 공정에서 중요한 것은 어떠한 방법으로도 홀(22)을

형성할 수 없고, 홀(22)의 깊이를 완성시의 칩 두께보다 적어도 $5\mu\text{m}$, 바람직하게는 $5\mu\text{m}$ 내지 $60\mu\text{m}$ 깊이 (단, 웨이퍼(21)는 개개의 칩에 분리된 것과 같이)로 할 수 있다.

그 후, 상기와 같이 하여 홀(22)을 형성한 웨이퍼(21)의 처리를 행한다.

다음에, 도 3(a)에 도시한 바와 같은 플랫 링크(25)를 패턴 형성면의 표면 보호 테이프(접착성의 시트)(26)로 부착하여 이 테이프(26)의 미만을 제거한 상태로, 도 3(b)에 도시한 바와 같이 미전 공정에서 홀(22)로 형성한 웨이퍼(21)의 패턴 형성면(21')을 테이프(26)의 접착체측에 부착하여 고정한다.

그 후, 도 4에 도시한 바와 같이, 상기 플랫 링크(25)와 표면 보호 테이프(26)로 보호된 웨이퍼(21)를, 연삭 장치의 척 테이블(27)등의 방법으로 흡착 고정한다. 그리고, 척 테이블(27)과 연삭용 지석(28)을 회전시켜, 연삭(28)을 저하시키므로, 웨이퍼(21)의 이면을 깎아낸다. 일반적으로 이 연삭 방법은 연삭이라 하는 것도 있지만, 다른 방법으로서 연삭 또는 연삭을 이용해도 좋다. 상기 웨이퍼(21)의 이면을 홀(22)에 도달 때까지 깎아내면, 웨이퍼(21)는 각각의 칩(29)으로 분할된다. 본 발명에서는, 웨이퍼(21)는 각각의 칩(29)으로 분할된 후에도 연삭 및 연마를 계속하여 완성시의 칩 두께(완성 칩 두께)가 된다. 이 때, 상기 연삭 및 연마면이 홀(22)의 저부에 달하므로, 완성시의 칩 두께가 될 때까지의 연삭 및 연마량 A(도 2 참조)와, 상기 홀(22) 저부의 곡면을 갖는 영역의 깊이 B와의 비 (A/B)를 0.3 이상으로 한다.

도 5는 이면 연삭시에 연삭면이 홀(22)의 저부에 달하므로 완성시의 칩 두께가 될 때까지의 연삭량 A와, 홀(22) 저부의 곡면을 갖는 영역의 깊이 B와의 비(A/B)를 변경함과 동시에, 웨이퍼(21)의 이면에 발생하는 칩핑의 평균 직경을 측정한 결과를 도시한다. 도시한 바와 같이, 홀(22)의 저부가 평평한 경우에는 $14\mu\text{m}$ 정도의 칩핑이 평균적으로 발생한다. 이에 대해, A/B가 0.3 이하에서는 큰 칩핑이 발생하지만, 0.3 이상이 되면 $14\mu\text{m}$ 보다 작아지며, A/B가 1전후로의 칩핑의 평균 직경은 $5\mu\text{m}$ 가 된다.

상기와 같이, 다이싱에 의해 형성된 절단면과 연삭 및 연마에 의해 형성된 연마면이 교차하는 부분에 칩핑이 발생해도 이 영역을 연삭 및 연마함으로써 제거할 수 있다. 또한, 홀(22)의 저부가 곡면을 가지므로, 웨이퍼(21)의 이면을 연삭 및 연마하여 행할 때, 홀(22)의 저부의 에지 형태에 의해 웨이퍼(21)의 큰 폭의 강도 현상이 나타나며, 웨이퍼(21)는 각각의 칩으로 분리되기 직전에서 실리콘 조각의 발생을 억제할 수 있으며, 칩 단면의 손상을 억제하여 칩 품질을 향상할 수 있다. 물론, 웨이퍼(21)의 연삭 및 연마면이 홀의 저부에 달하므로, 완성시의 칩 두께가 될 때까지의 연삭 및 연마량과, 홀의 저부에 있어서 곡면을 갖는 영역의 깊이와의 비를 0.30이상으로 하므로, 연삭 및 연마시에 발생하는 칩핑의 평균 직경을 보다 작게 하여 칩 품질을 한층 향상할 수 있다. 또한, 홀의 깊이를 완성시의 칩 두께보다 $5\mu\text{m}$ 내지 $60\mu\text{m}$ 깊이로 형성하기 때문에, 이 분리등의 품질 열화를 방지하며, 연삭량을 최적화하여 생산성을 떨어뜨리지 않고 연삭 미상을 감소시킬 수 있다. 이에 따라, 본 발명을 이용하면, 칩(29)의 완성시의 두께는, 예를 들면 30~50 μm 까지 박막화가 가능해진다.

또, 상기 웨이퍼(21)의 이면을 홀(22)에 도달 때까지 깎아서 각각의 칩(29)으로 분할할 때, 1 종류의 지립경의 작은 연삭 지석을 이용하므로 칩핑의 발생도 감소시킬 수 있다.

다음에, 도 6에 도시한 바와 같이, 웨이퍼(21)의 절단 분리를 종료하여 분할된 각각의 칩(29)이 접촉고정되는 플랫 링크(25)를 다이본딩장치에 설치하며, 이 다이본딩 장치의 픽업 니들(30)을 이용하여 표면 보호 테이프(26)에 의해 패턴 형성면(22)에 마랫 방향으로 압력을 가한다. 이에 따라, 픽업 니들(30)은 테이프(26)를 관통하지 않고 칩(29)의 패턴 형성면을 압입하여 칩(29)이 테이프(26)로부터 분리된다. 상기 픽업 니들(30)은 선단 곡률 반경이 0.35mm 이상이면 18N의 힘(15mmX15mm 칩인 경우), 칩(29)내에 형성된 알루미늄 배선등에 손상이 발생된다는 것을 본 발명자들은 실제로 더 인식하고 있다. 따라서, 칩(29)의 주표면측으로부터 이면 보호 테이프(26)를 통해 픽업 니들(30)(금속제의 핀)으로 압입 분리해도, 선단 곡률 반경을 최적화함으로써 픽업 니들(30)이 테이프(26)를 쪼개는 것없이, 특히 문제가 발생하지 않는다. 또, 본 실시예에서는, 칩(29)을 테이프(26)로부터 분리할 때, 칩(29)을 아래로 가압하였지만, 위로 가압하여도 좋으며, 일반적으로는 후자의 방법이 많이 사용되고 있다.

테이프(26)로부터 분리된 칩(29)은 다이본딩 장치의 클렉트러하는 톨로 흡착 보유하며, 도 7에 도시한 바와 같이 리드프레임의 아일랜드(31)에 장착한다. 이 때, 리드프레임의 아일랜드(31)에 이미 접촉 고정용의 도전성 페이스트(32)를 살포해두었으며, 그 위에 칩(29)을 다이본딩한다. 금속-실리콘의 공정을 이용하여 장착하거나, 또는 웨이퍼의 이면에 금속의 박막을 피착하여, 반전을 이용하여 장착할 수도 있다.

그 후, 와이어본딩을 행하여 칩(29)의 각 패드와 리드프레임(34)의 내부 리드부를 본딩 와이어(35)로 전기적으로 접속한다. 그리고, 칩(29), 아일랜드(31) 및 리드프레임(34)의 내부 리드부를 수지(또는 세라믹) 패키지(33)에 봉지하며, 행하여 도 8에 도시한 바와 같은 반도체 장치를 완성한다.

도 9(a), (b)는 각각 웨이퍼를 각각의 칩으로 분리했을 때의 연삭면의 확대도이다. 도 9(a)는 종래의 분할 방법 및 반도체 장치의 제조 방법을 이용한 경우를 도시하고 있으며, 폴 컷에 의해 다이싱했을 때의 연삭면측의 확대도이다. 도시한 바와 같이, 폴 컷부에 다수의 칩핑이 발생한다. 도 9(b)는 본 발명의 분할 방법 및 제조 방법을 이용한 경우를 도시하므로, 도 9(a)에 비해 세밀한 절단면이며, 칩핑은 크게 감소한다.

홀(22)의 깊이에 관해서는, 이면 연삭 장치에서의 연삭부의 정도, 및 보호 테이프부재의 두께의 정도에 대해 검토한 점, 아래에 도시한 바와 같이, 최종적인 칩 두께와 일치(0)이 $5\mu\text{m}$ 이하의 범위에서는, 최악의 경우, 미분리가 발생하며, 다음의 픽업 니들 공정에 있어서 크랙을 발생시키면서 칩을 픽업 니들하거나, 칩핑이 크게 감소한다.

이에 대해, $60\mu\text{m}$ 이상의 연삭을 행하면, 연삭 시간이 길어져 생산성이 저하한다. 특히, 분할 시간의 단축과 칩의 품질 향상으로 인하여, 미연삭과 완성 연삭을 행하는 경우에는, 완성 연삭의 가공 정도는 미연삭의 1/5~1/10 정도가 될 필요가 있으며, 완성 연삭의 지석의 특성상, 연삭량을 크게 얻으면 연삭면이상(지석 재료가 웨이퍼 연삭면에 부착)이 발생하는 것으로부터도 홀(22)의 깊이를 거의 깊게 할 수 없다. 물론, 연삭량을 많게 하는 경우에는, 2축 분리가 상기 제안되었지만, 2축에 의한 저속에서의 연삭량이 증가시키기 위해 생산 능력을 크게 저하시키지만은 않고 2축 연삭량이 증가하는 것으로 연삭시의 지석에의

부단이 증가하여 연삭 이상이 발생하기 쉬어진다. 따라서, 홈(22)의 깊이를 60 μm 이상으로 하는 것은 바람직하지 않다. 아래 표 1에 도시한 바와 같이, 80 μm 에서는 연삭 이상이 발생한다.

[표 1]

홈의 깊이 (완성 칩 두께+ μm)	0 μm	2 μm	5 μm	20 μm	40 μm	60 μm	80 μm
칩 표면 형 태	미분리 발 생	알루미늄 형태 잔발 생	0	0	0	0	0
연삭 품질	0	0	0	0	0	0	0

이들로부터 바람직한 홈의 깊이는 「완성 칩 두께 5 μm 내지 「완성 칩 두께+60 μm 」이다.

또, 상술한 제1 실시예에서는, 도 10에 도시한 공정에서 웨이퍼(21)에 홈(22)을 형성한 후, 도 3(a), (b)에 도시한 바와 같이 패턴 형성면의 표면 보호 테이프(26)로 플랫 링크(25)를 부착하며, 이 플랫 링크(25)와 표면 보호 테이프(26)에서 보유된 웨이퍼(21)를 연삭 장치의 척 테이블(27)에 흡착 조정하여 웨이퍼(21)의 이면을 깎았다. 따라서, 플랫 링크(25)는 웨이퍼(21)의 이면을 깎는 공정에서는 반드시 필요하지 않고, 도 10 및 도 11에 도시한 바와 같이 이용해도 좋다. 즉, 도 10에 도시한 바와 같은 공정을 지나 웨이퍼(21)에 홈(22)을 형성한 후, 롤러(51)를 도시한 화살표 방향으로 이동시키면서 웨이퍼(21)의 패턴 형성면(주표면)(21')상에 표면 보호 테이프(점착성의 시트)(52)를 부착한다. 그 후, 도 11에 도시한 바와 같이, 표면 보호 테이프(52)에서 주표면이 보호된 웨이퍼(21)를, 연삭 장치의 척 테이블(27)등의 방법으로 흡착 고정한다. 이 때, 사용하지 않으므로, 웨이퍼(21) 전체를 평탄한 형태로 흡착할 필요가 있다. 이어서, 척 테이블(27)과 연삭용 지석(28)을 회전시켜, 지석(28)을 저하시키면서 웨이퍼(21)의 표면을 깎는다. 상기 웨이퍼(21)의 표면을 홈(22)에 도달 때까지 깎으면, 웨이퍼(21)는 각각의 칩으로 분할된다. 웨이퍼(21)가 각각의 칩(29)으로 분할된 후에도 연삭 및 연마를 계속하며, 적어도 5 μm 이상, 바람직하게는, 5 μm 내지 60 μm 연삭 및 연마한다. 다음에, 도 12(a)에 도시한 바와 같이, 플랫 링크(25)의 점착성의 시트(26)상에 이전의 공정에서 각각의 칩(29)으로 분할되어 표면 보호 테이프(52)로 보호되는 웨이퍼(21)의 표면을 부착한다. 그 후, 도 12(b)에 도시한 바와 같이, 표면 보호 테이프(52)를 박리한다. 이하의 공정은 도 6 내지 도 8에 도시한 공정과 동일하다.

또, 도 6에 도시한 공정에서 픽업한 각각의 칩(29)을 다이본딩, 와이어본딩 및 패키지로의 봉지 공정을 거쳐 반도체 장치를 완성할 뿐만 아니라,

[제2 실시예]

도 13은 본 발명의 제2 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, LOC(Lead On Chip) 패키지에 적용한 것이다. LOC 패키지의 경우에는, 도 6에 도시한 픽업 공정이후, 다음과 같은 공정에서 봉지한다. 먼저, 칩(29)상에 접착 테이프(35)를 개재시켜서 리드(37)의 일단을 접촉한다. 그 후, 와이어 본딩을 행하여 칩(29)의 각 패드와 리드(37)를 본딩와이어(35)로 접속한다. 그리고, 수지 패키징(33) 또는 세라믹 패키지로 봉지함으로써, 도 13에 도시한 바와 같은 반도체 장치를 완성한다.

본 실시예에 따르면, 리드(37)의 접촉이나 와이어 본딩시의 하중에 의해 실리콘층이 칩(29) 표면의 보호막을 파괴하며, 알루미늄 배선의 단선이나 단락등의 불량률 초래하는 위험을 억제할 수 있다.

상술한 바와 같은 웨이퍼의 분할 방법 및 반도체 장치의 제조 방법에 따르면, 하기 (1)~(6)에 도시한 효과가 얻어진다.

(1) 웨이퍼의 박막화시의 웨이퍼 파손에 의한 불량률의 저감화가 나타난다.

하기 2는 6인치형의 웨이퍼를 각각의 칩으로 분할한 경우의 칩 두께(홈의 깊이와 실질적으로 동일하지만, 또는 다소 얇음)와 파손률(ppm:parts per million)의 관계를 도시한다.

[표 2]

칩 두께(μm) (=홈의 깊이)	450	350	290	200	100	50
종래(ppm)	180	250	600	1000	5000	60000
본 발명(ppm)	20	20	0	0	0	0

표 2에 도시한 바와 같이, 종래는 칩 두께가 얇아지면, 파손률이 높아졌지만, 본 발명에서는 최종적인 칩 두께가 얇아지는 만큼 파손률이 낮아진다. 이것은, 칩 두께를 얇게 하는 경우에는 홈을 잔여시킬 수 있으므로, 홈의 아래에 잔존하는 웨이퍼 두께가 두꺼워지는 것에 의존하는 것이다. 6인치형의 웨이퍼의 경우에는, 웨이퍼의 두께는 통상 600~650 μm 이다. 종래의 분할 방법 및 제조 방법에서는, 예를 들면, 50 μm 두께의 칩을 형성하도록 하면, 웨이퍼를 미리 50 μm 의 두께로 연삭 및 연마하며, 도 22 내지 도 24에 도시한 처리를 행한다. 이에 대해, 본 발명의 방법에서는, 50 μm 의 홈을 형성한 후(홈의 아래에는 550~600 μm 의 웨이퍼가 잔존됨), 연삭 및 연마하여 각각의 칩으로 분할하므로 파손률이 낮아진다.

(2) 반송시의 트러블이 웨이퍼의 구경에 좌우되지 않는다. 연삭과 동시에 칩으로 분할되기 때문에, 칩 두께는 얇아져도 태는 동일한 구경에서도 절삭제에 의한 웨이퍼의 악영향을 받아들며 장치내 반송이 가능

하다. 또한, 칩 두께가 얇아지면 홀의 아래에 잔존되는 웨이퍼가 두꺼워지므로, 이점으로부터도 반송시의 웨이퍼 파손율을 감소시킬 수 있다. 이에 따라 아래 표 3과 같은 효과가 얻어진다. 단, 웨이퍼가 8인치형이며, 칩의 두께를 50 μ m로 완성하는 경우의 것이다.

[표 3]

	종래	본 발명
반송 트러블의 감소(ppm)	80000	50
캐리어에의 수납률(지수)	1	2

이 표 3의 데이터로부터 명백하듯이, 본 발명은 웨이퍼의 대구경화에 유효하며, 이후 전개되는 웨이퍼의 12인치형화, 또는 16인치형화에도 대응이 용이해진다.

(3) 표면 보호 테이프를 1매 사용하기 때문에, 종래의 방법에 비해 재료 비용과 가공을 60% 정도 감소시킬 수 있으며, 제조 비용의 감소를 나타낸다.

(4) 풀 컷 방식의 경우, 시트까지 들여보내기 위해, 블레이드의 저하 및 다이싱중의 칩의 비산이 생기기 때문에, 일반적으로 80 내지 120mm/sec이지만, 본 발명의 방법에서는 200mm/sec까지 가능하다. 이에 따라, 다이싱 속도의 향상이 나타내며, 10% 정도의 가공비 감소가 나타난다.

(5) 웨이퍼를 분할하기 위해, 다이싱 시트까지 깎을 필요없이, 표면 연삭용의 지석으로 연삭하여 분할하기 때문에, 표면 칩핑의 크기는 종래의 15 μ m 정도에서 4 μ m 정도로 작아지며, 가로 강도가 종래의 방법에서는 520MPa인 것이지만, 600MPa까지 향상한다.

또, 표면 연삭에서 칩 분할을 행할 때에는, 연삭 지석의 다이아 지립경에 의해 표면 칩핑량이 커지며, 아래 표 4와 같이 다이아 지립경이 작은 쪽이 표면 칩핑이 작아지며, 따라서, 칩의 가로 강도는 보다 향상하는 효과가 얻어진다. 이에 따라, 칩 분할시에 사용하는 지석의 다이아 지립경은 가능한한 작은 쪽이 양호하다. 또한, 상술한 바와 같이, 지립경이 큰 연삭 지석과 작은 연삭 지석을 조합시켜 이용함으로써, 칩핑을 감소시킬 뿐만 아니라, 연삭 시간의 단축도 나타난다.

[표 4]

다이아 지립경 분포: μ m	본 발명 방식		종래 방식
	4~6	40~60	4~6
표면 칩핑(평균): μ m	3.2	8.76	13.8
(MAX): μ m	23	55	53
칩 가로 강도(평균): μ m	669.0	560.4	505.5

도 14는 종래의 방법과 본 발명의 방법에 의한 가로 강도 분포를 비교하여 도시하며, 각각의 가로 강도(200MPa~1000MPa)에서의 칩핑의 발생확률(X)을 도시한다. 도 14로부터 명백하듯이, 본 발명의 분할 방법에서는 종래의 분할 방법에 비해 동일한 가로 강도에 따른 칩핑의 발생확률이 낮아지며, 높은 가로 강도측으로 시프트한다. 종래의 방법에 의한 가로 강도의 평균치는 약 520MPa이며, 본 발명의 방법에 따른 가로 강도의 평균치는 약 500MPa이다.

(6) 웨이퍼를 분할하기 위해, 다이싱 시트까지 깎을 필요는 없기 때문에, 다이싱 블레이드의 저감시킬 수 있으며, 다이싱 블레이드의 수명을 향상시킬 수 있다. 예를 들면, 다이싱 시트까지 깎는 방식을 적용한 경우에는, 통상 10000~20000 라인(6라인형 웨이퍼의 경우)의 수명이지만, 본 발명의 방법에서는 80000라인 이상으로 까지 수명을 연장시키는 것을 기대할 수 있다.

[제3 실시예]

도 15(a)~(e)는 각각 본 발명의 제3 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한다. 먼저, 제1 실시예와 마찬가지로, 도 1 내지 도 4에 도시한 공정에 따라 웨이퍼(21)를 각각의 칩(29)으로 분할한다. 다음에, 분할된 각각의 칩(29)은 접착 고정되는 플랫 링크(25)를 연삭 장치의 척 테이블(27)로부터 취출하며, 도 15(a)에 도시한 바와 같이 칩(29)의 픽업을 행한다. 이 때, 칩(29)을 아래 방향으로부터 표면 보호 테이프(26)를 통해 픽업 니들에서 돌출하여 표면 보호 테이프(26)로부터 박리하며, 클렉트(38)에서 표면을 흡착한다. 이 클렉트(38)는 칩 반전 기구를 갖고 있으며, 도 15(b)에 도시한 바와 같이, 아래 방향의 흡착부가 위 방향이 되는 바와 같이 180° 회전한다. 이 상태에서, 칩 공중 이동하여 도 15(c)에 도시한 바와 같이 별도의 클렉트(39)로 교체한다. 이에 따라, 칩(29)의 표면이 반전하여 주표면(패턴 형성면)을 상향시키게 된다. 그 후, 도 15(d)에 도시한 바와 같이 디스펜서(40)를 이용하여 리드프레임(34)의 마일랜드(31)에 도전성 페이스트(41)를 도포하며, 도 15(e)에 도시한 바와 같이 상기 클렉트(39)에서 보유하고 있는 칩(29)을 상기 리드프레임(34)의 마일랜드(31)상에 이동시켜 다이본딩한다.

[제4 실시예]

도 16(a)~도 16(c)는 각각 본 발명의 제4 실시예에 관한 반도체 장치의 제조 방법에 대해 설명한 것으로, 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한다. 먼저, 제1 실시예와 마찬가지로, 도 1 내지 도 4에 도시한 공정에 따라 웨이퍼(21)를 각각의 칩(29)으로 분할한다. 다음에, 분할된 각각의 칩(29)은 접착 고정되는 플랫 링크(25)를 연삭 장치의 척 테이블(27)로부터 얻어지며, 각각의 칩(29)을 도 16(a)에 도시한 바와 같이 표면 보호 테이프(42)로 플랫 링크(43)를 부착한 테이프 표면에 부착한다.

이에 따라, 칩(29)의 표면이 반전하여 주표면이 상향하게 된다. 다음에, 도 16(b)에 도시한 바와 같이, 디스펜서(40)를 이용하여 리드프레임(34)의 아일랜드(31)에 도전성 페이스트(41)를 살포한다. 그 후, 도 16(c)에 도시한 바와 같이 픽업 니들을 이용한 종래와 동일한 픽업, 즉 표면 보호 테이프(42)로 인해 하향에서 패턴 형성면으로 압력을 가함으로써, 칩(29)의 패턴 형성면을 압압하며, 칩(29)을 표면 보호 테이프(42)로부터 박리한다. 그리고, 콜렉트(44)에서 픽업한 칩(29)을 상기 도전성 페이스트(41)를 도포한 리드프레임(34)의 아일랜드(31)상에 이동시켜 다이본딩한다.

[제5 실시예]

도 17(a)~(c)는 각각 본 발명의 제5 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한다. 먼저, 제1 실시예와 마찬가지로, 도 1 내지 도 4에 도시한 공정에 따라 웨이퍼(21)를 각각의 칩(29)으로 분할한다. 다음에, 분할된 각각의 칩(29)은 접착 고정되는 플랫 링크(25)를 연삭 장치의 척 테이블(27)로부터 얻어지며, 각각의 칩(29)을 척 테이블(45)에 이동 교체한다. 이에 따라, 칩(29)의 표면이 반전하여 주표면이 상향하게 된다. 다음에, 도 17(b)에 도시한 바와 같이, 디스펜서(40)를 이용하여 리드프레임(34)의 아일랜드(31)에 도전성 페이스트(41)를 도포한다. 그 후, 도 17(c)에 도시한 바와 같이 칩(29)을 척 테이블(45)로부터 픽업한다. 그리고, 상기 픽업한 칩(29)을 상기 리드프레임(34)의 아일랜드(31)상에 이동시켜서 다이본딩한다.

이에 따라, 상기 제5 실시예에서는, 돌출 핀을 이용하지 않고 칩(29)의 픽업이 가능해진다.

[제6 실시예]

도 18(a)~(e)는 각각 본 발명의 제6 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한다. 먼저, 제1 실시예와 마찬가지로, 도 1 내지 도 4에 도시한 공정에 따라 웨이퍼(21)를 각각의 칩(29)으로 분할한다. 다음에, 분할된 각각의 칩(29)은 접착 고정되는 플랫 링크(25)를 연삭 장치의 척 테이블(27)로부터 얻어지며, 도 18(a)에 도시한 바와 같이 콜렉트(38)를 이용하여 각각의 칩(29)의 픽업을 행한다. 픽업은 칩(29)을 표면 보호 테이프(26)를 통해 하향에서 픽업 니들에서 돌출하여 표면 보호 테이프(26)로부터 박리하며, 콜렉트(38)에서 집착하여 행한다. 이 콜렉트(38)는 테이프 반전 기구를 갖고 있으며, 도 18(b)에 도시한 바와 같이, 하향의 흡착부가 상향해지도록 180° 회전한다. 이 상태에서, 칩 공정을 이용하여 별도의 콜렉트(39)로 교체한다. 다음에, 콜렉트(39)를 이동시켜 도 18(c)에 도시한 바와 같이 각 칩(29)을 표면 보호 테이프(46)에 플랫 링크(47)를 부착한 테이프 표면에 부착한다. 이에 따라, 각각의 칩(29)의 표면은 반전하여 주표면(패턴 형성면)이 상향하게 된다. 다음에, 도 18(d)에 도시한 바와 같이, 디스펜서(40)를 이용하여 리드프레임(34)의 아일랜드(31)에 도전성 페이스트(41)를 도포한다. 그 후, 도 18(e)에 도시한 바와 같이 픽업 니들을 이용한 종래와 동일한 픽업, 즉 표면 보호 테이프를 이용한 칩 표면에 압력을 가함으로써 칩 표면을 압압하며 칩(29)을 표면 보호 테이프로부터 박리한다. 그리고, 상기 콜렉트(39)에서 보유하고 있는 칩(29)을 상기 리드프레임(34)의 아일랜드(31)상에 이동시켜 다이본딩한다.

상기 장착 방법은 각 칩(29)을 플랫 링크(47)의 표면 보호 테이프(46)에 부착한 상태에서 곤란한 위치에 있는 제조 장치, 별도의 부실이나 별도의 공정 등에 용이하게 반송할 수 있으며, 각 종의 제조 장치나 제조 방법에 대응할 수 있다.

[제7 실시예]

도 19(a)~(e)는 각각 본 발명의 제7 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한다. 먼저, 제1 실시예와 마찬가지로, 도 1 내지 도 4에 도시한 공정에 따라 웨이퍼(21)를 각각의 칩(29)으로 분할한다. 다음에, 분할된 각각의 칩(29)은 접착 고정되는 플랫 링크(25)를 연삭 장치의 척 테이블(27)에서 얻어지며, 도 19(a)에 도시한 바와 같이 칩(29)의 픽업을 행한다. 이 때, 칩(29)을 하향에서 표면 보호 테이프(26)를 통해 픽업 니들에서 돌출하여 표면 보호 테이프(26)로부터 박리하여 콜렉트(38)에서 흡착한다. 이 콜렉트(38)는 칩 반전 기구를 갖고 있으며, 도 19(b)에 도시한 바와 같이 흡착부가 하향으로 180° 회전한다. 이 상태에서, 칩 공정을 이용하여 별도의 콜렉트(39)로 교체한다. 다음에, 도 19(c)에 도시한 바와 같이, 각 칩(29)을 칩 트레이(48)에 수용한다. 칩 트레이(48)에는 칩(29)의 주표면(패턴 형성면)이 상향으로 수용된다. 다음에, 도 19(d)에 도시한 바와 같이, 디스펜서(40)를 이용하여 리드프레임(34)의 아일랜드(31)에 도전성 페이스트(41)를 도포한다. 그 후, 도 19(e)에 도시한 바와 같이 콜렉트(39)에서 칩 트레이(48)로부터 각각의 칩(29)을 흡착하며, 상기 콜렉트(39)에서 보유하고 있는 칩(29)을 리드프레임(34)의 아일랜드(31)상에 이동시켜 다이본딩한다.

상기 장착 방법에서는, 상기 제6 실시예와 마찬가지로, 각각의 칩(29)을 칩 트레이(48)에 수용한 상태에서 곤란한 위치에 있는 제조 장치, 별도의 부재나 별도의 공정에 용이하게 반송할 수 있으며, 각종의 제조 장치나 제조 방법에 대응한다.

[제8 실시예]

도 20(a)~(d)는 각각 본 발명의 제8 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한다. 먼저, 제1 실시예와 마찬가지로, 도 1 내지 도 4에 도시한 공정에 따라 웨이퍼(21)를 각각의 칩(29)으로 분할한다. 다음에, 분할된 각각의 칩(29)이 접착 고정되는 플랫 링크(25)를 연삭 장치의 척 테이블(27)로부터 얻어지며, 도 20(a)에 도시한 바와 같이 칩(29)의 픽업 니들에서 돌출 표면 보호 테이프(26)로부터 박리하며, 콜렉트(38)에서 흡착하여 행한다. 이 상태에서, 도 20(b)에 도시한 바와 같이 칩(29)을 가공 스테이지(49)상에 반송하여 장치한다. 다음에, 도 20(c)에 도시한 바와 같이, 디스펜서(40)를 이용하여 리드프레임(34)의 아일랜드(31)에 도전성 페이스트(41)를 도포한다. 그리고, 도 20(d)에 도시한 바와 같이, 상기 가공 스테이지(49)상에 배치되는 칩(29)을 상기 리드프레임(34)에 다이본딩한다.

이와 같은 장착 방법에서는, 칩(29)의 표면을 반전할 필요가 없으므로, 콜렉트(38)에는 칩 반전 기구는 불필요하며, 제조를 간략화할 수 있다. 또한, 픽업한 칩을 별도의 표면 보호 테이프로 교체하거나, 칩

트레이에 이동 교체할 필요는 없다.

[제9 실시예]

도 21(a), (b)는 각각 본 발명의 제9 실시예에 관한 반도체 장치의 제조 방법에 대해 설명하기 위한 것으로, 분할된 칩을 리드프레임에 장착하는 공정을 순차 도시한다. 먼저, 제1 실시예와 마찬가지로, 도 1 내지 도 4에 도시한 공정에 따라 웨이퍼(21)를 각각의 칩(29)으로 분할한다. 다음에, 분할된 각각의 칩(29)이 접착 고정되는 플랫 링크(25)를 연삭 장치의 척 테이블(27)로부터 얻어지며, 도 21(a)에 도시한 바와 같이 각각의 칩(29)의 표면에 도전성 패시스트(41)를 도포한다. 그리고, 도 21(b)에 도시한 바와 같이, 상기 플랫 링크(25)상에 리드프레임(34)을 배치하며, 칩(29)을 하향에서 표면 보호 테이프(26)를 통해 픽업 니들에서 돌출하여 표면 보호 테이프(26)로부터 박리하며, 리드프레임(34)의 아일랜드(31)에 다 이본딩한다.

[변형예]

또, 본 발명은 상술한 제1 내지 제9 실시예에 한정되는 것은 아니며 요지를 설명하지 않은 범위에서 각각 변형하여 실시 가능하다. 예를 들면, 제1 실시예에서는, 홀의 형성시에 웨이퍼(21)를 다이싱용 척 테이블(23)에 고정했지만, 종래의 방법과 마찬가지로 플랫 링크를 점착성의 시트에 부착한 상태에서, 웨이퍼를 다이싱용 척 테이블에 고정하도록 해도 좋다. 또는, 평판에 웨이퍼를 고정하거나, 평판에 점착성의 시트를 이용하여 웨이퍼를 고정한 상태에서 홀을 형성해도 좋다.

또한, 도 4 및 도 11에 도시한 연삭 및 연마 공정에 있어서, 보유 재료로 표면 보호 테이프(점착성의 시트)(26, 52)를 이용했지만, 다른 보호 부재, 예를 들면, 왁스, 흡착 패드, 열압착 시트, 점착재를 도포한 기판, 및 반도체 소자상에 도포한 레지스트등, 또는 이들을 조합시킨 재료를 이용할 수 있다.

또한, 웨이퍼(21)의 패턴 형성면(21')을 점착성의 시트(표면 보호 테이프(26))로 부착하도록 했지만, 웨이퍼(21)의 패턴 형성면(21')과 점착성의 시트 간에 박막의 필름을 개재시켜도 좋다. 박막의 필름을 개재시키는 것은, 예를 들면 웨이퍼의 패턴 형성면에 액체를 스프레이로 흡착하여 피막을 형성한 후, 점착성의 시트를 부착하면 좋다. 평판상에 양면 또는 단면의 점착 테이프를 부착하며, 그 위에 웨이퍼를 고착하도록 해도 좋다.

또한, 칩을 표면 보호 테이프로부터 박리하기 위해 픽업 니들을 이용했지만, 픽업 니들 대신에 칩 이면을 흡착하여 표면 보호 테이프로부터 박리하도록 해도 좋다.

발명의 효과

상술한 바와 같이, 본 발명에 따르면, 박막 연삭이나 반송시의 웨이퍼의 손상을 억제할 수 있는 웨이퍼의 분할 방법 및 반도체 장치의 제조 방법이 얻어진다. 또한, 제조 공정과 비용의 감소가 나타나는 웨이퍼의 분할 방법 및 반도체 장치의 제조 방법이 얻어진다. 또한, 웨이퍼의 표면측의 칩핑을 작게 할 수 있으며, 칩의 가로, 강도의 저하를 억제할 수 있는 웨이퍼의 분할 방법 및 반도체 장치의 제조 방법이 얻어진다. 또한, 다이싱 블레이드의 연마량의 감소나 다이싱 블레이드의 수명향상등의 효과도 얻어진다.

(57) 청구의 범위

청구항 1

반도체 소자가 형성된 웨이퍼의 다이싱 라인을 따라, 전단부에 곡면을 갖는 다이싱용 블레이드를 이용하여, 상기 반도체 소자의 형성면측으로부터 완성시의 칩 두께보다도 깊으며, 저부에 곡면을 갖는 홈을 형성하는 공정과,

상기 웨이퍼에 있어서의 상기 반도체 소자의 형성면 상에 지지 부재를 접합하는 공정과,

상기 웨이퍼의 이면을 연삭 및 연마하여, 웨이퍼를 각각의 칩으로 분할하고, 연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후에도 연삭 및 연마를 계속하여, 상기 완성시의 칩의 두께로 하는 공정을 포함하며,

상기 웨이퍼의 연삭 및 연마면이 상기 홈의 저부에 도달하고 부터, 완성시의 칩 두께가 될 때까지의 연삭 및 연마량과, 상기 홈의 저부에서의 곡면을 갖는 영역의 깊이와의 비가 0.3 이상인 것을 특징으로 하는 웨이퍼의 분할 방법.

청구항 2

반도체 소자가 형성된 웨이퍼의 칩 분할 라인을 따라 에칭함으로써, 상기 반도체 소자의 형성면측으로부터 완성시의 칩의 두께보다도 깊은 홈을 형성하는 공정과,

상기 웨이퍼에 있어서의 상기 반도체 소자의 형성면 상에 지지 부재를 접합하는 공정과,

상기 웨이퍼의 이면을 연삭 및 연마하여, 웨이퍼를 각각의 칩으로 분할하는 공정을 포함하며,

연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후에도 연삭 및 연마를 계속하여, 상기 완성시의 칩의 두께로 하는 것을 특징으로 하는 웨이퍼의 분할 방법.

청구항 3

반도체 소자가 형성된 웨이퍼의 칩 분할 라인을 따라 에칭함으로써, 상기 반도체 소자의 형성면측으로부터 완성시의 칩 두께보다도 깊으며, 저부에 곡면을 갖는 홈을 형성하는 공정과,

상기 웨이퍼에 있어서의 상기 반도체 소자의 형성면 상에 지지 부재를 접합하는 공정과,

상기 웨이퍼의 이면을 연삭 및 연마하여, 웨이퍼를 각각의 칩으로 분할하고, 연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후에도 연삭 및 연마를 계속하여, 상기 완성시의 칩의 두께로 하는 공정을 포함하며,

상기 웨이퍼의 연삭 및 연마면이 상기 홈의 저부에 도달하고 부터, 완성시의 칩 두께가 될 때까지의 연삭 및 연마량과, 상기 홈의 저부에서의 곡면을 갖는 영역의 깊이와의 비가 0.3 이상인 것을 특징으로 하는 웨이퍼의 분할 방법.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 홈의 깊이는 상기 완성시의 칩의 두께보다도 적어도 $5\mu\text{m}$ 깊은 것을 특징으로 하는 웨이퍼의 분할 방법.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 홈의 깊이는 상기 완성시의 칩의 두께보다도 $5\mu\text{m}$ 내지 $60\mu\text{m}$ 깊은 것을 특징으로 하는 웨이퍼의 분할 방법.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 지지 부재는 점착재가 도포된 테이프, 왁스, 흡착 패드, 열압착 시트, 점착재를 도포한 기판, 및 상기 반도체 소자 상에 도포한 레지스트 중에서 선택된 적어도 어느 하나의 재료인 것을 특징으로 하는 웨이퍼의 분할 방법.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서, 상기 웨이퍼의 이면을 연삭 및 연마하여, 상기 완성시의 칩의 두께로 하는 공정은,

제1 지립경(砥粒徑)의 연삭 지석에 의해 상기 웨이퍼의 이면을 상기 완성시의 칩보다 두껍게 연삭 및 연마하는 제1 공정과,

상기 제1 공정에서 연삭 및 연마한 상기 웨이퍼의 이면을, 상기 제1 지립경보다도 작은 제2 지립경의 절삭 지석을 이용하여 상기 완성시의 칩의 두께까지 연삭 및 연마하는 제2 공정을 포함하는 것을 특징으로 하는 웨이퍼의 분할 방법.

청구항 8

제7항에 있어서, 주요한 상기 제1 지립경은 $40\sim 60\mu\text{m}$ 이고, 주요한 상기 제2 지립경은 $4\sim 6\mu\text{m}$ 인 것을 특징으로 하는 웨이퍼의 분할 방법.

청구항 9

웨이퍼의 주 표면에 반도체 소자를 형성하는 공정과,

상기 웨이퍼의 다이싱 라인을 따라, 선단부에 곡면을 갖는 다이싱용 브레이드를 이용하여, 상기 웨이퍼의 주 표면측으로부터 완성시의 칩의 두께보다도 깊으며, 저부에 곡면을 갖는 홈을 형성하는 공정과,

상기 웨이퍼의 주 표면에 점착성의 시트를 접합하는 공정과,

상기 웨이퍼의 이면을 연삭 및 연마하여, 웨이퍼를 각각의 칩으로 분할하고, 연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후에도 연삭 및 연마를 계속하여, 상기 완성시의 칩의 두께로 하는 공정과,

상기 분리된 각 칩을 상기 점착성의 시트로부터 박리하여 외위기(外圍器)로 밀봉하는 공정을 포함하며,

상기 웨이퍼의 연삭 및 연마면이 상기 홈의 저부에 도달하고 부터, 완성시의 칩 두께가 될 때까지의 연삭 및 연마량과, 상기 홈의 저부에서의 곡면을 갖는 영역의 깊이와의 비가 0.3 이상인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

웨이퍼의 주 표면에 반도체 소자를 형성하는 공정과,

상기 웨이퍼의 칩 분할 라인을 따라 에칭함으로써, 상기 웨이퍼의 주 표면측으로부터 완성시의 칩의 두께보다도 깊은 홈을 형성하는 공정과,

상기 웨이퍼의 주 표면에 점착성의 시트를 접합하는 공정과,

상기 웨이퍼의 이면을 연삭 및 연마하여, 웨이퍼를 각각의 칩으로 분리하는 공정과,

상기 분리된 각 칩을 상기 점착성의 시트로부터 박리하여 외위기로 밀봉하는 공정을 포함하며,

연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후에도 연삭 및 연마를 계속하여, 상기 완성시의 칩의 두께로 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11

웨이퍼의 주 표면에 반도체 소자를 형성하는 공정과,

상기 웨이퍼의 칩 분할 라인을 따라 에칭함으로써, 상기 웨이퍼의 주 표면측으로부터 완성시의 칩의 두께보다도 깊으며, 저부에 곡면을 갖는 홈을 형성하는 공정과,

상기 웨이퍼의 주 표면에 점착성의 시트를 접합하는 공정과,

상기 웨이퍼의 이면을 연삭 및 연마하여, 웨이퍼를 각각의 칩으로 분리하고, 연삭 및 연마에 의해 웨이퍼가 각각의 칩으로 분할된 후에도 연삭 및 연마를 계속하여, 상기 완성시의 칩의 두께로 하는 공정과,

상기 분리된 각 칩을 상기 점착성의 시트로부터 박리하여 외위기로 밀봉하는 공정을 포함하며,

상기 웨이퍼의 연삭 및 연마면이 상기 홈의 저부에 도달하고 부터, 완성시의 칩 두께가 될 때까지의 연삭 및 연마량과, 상기 홈의 저부에서의 곡면을 갖는 영역의 깊이와의 비가 0.3 이상인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12

제9항 내지 제11항 중 어느 한 항에 있어서, 상기 홈의 깊이는 상기 완성시의 칩의 두께보다도 적어도 5 μm 깊은 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13

제9항 내지 제11항 중 어느 한 항에 있어서, 상기 홈의 깊이는 상기 완성시의 칩의 두께보다도 5 μm 내지 60 μm 깊은 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 14

제9항 내지 제13항 중 어느 한 항에 있어서, 상기 분리된 각 칩을 상기 점착성의 시트로부터 박리하여 외위기로 밀봉하는 공정은,

상기 점착성의 시트로부터 박리된 칩을 리드 프레임의 아일랜드에 마운트하는 공정과,

상기 리드 프레임의 인너 리드부와 상기 칩의 각 패드를 와이어본딩하는 공정과,

상기 칩, 상기 아일랜드 및 상기 인너 리드부를 외위기로 밀봉하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15

제9항 내지 제13항 중 어느 한 항에 있어서, 상기 분리된 각 칩을 상기 점착성의 시트로부터 박리하여 외위기로 밀봉하는 공정은,

상기 점착성의 시트로부터 박리된 칩의 주 표면에 리드의 일단을 접착하는 공정과,

상기 리드와 상기 칩의 각 패드를 와이어본딩하는 공정과,

상기 칩, 상기 리드의 일단을 외위기로 밀봉하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16

제9항 내지 제15항 중 어느 한 항에 있어서, 상기 웨이퍼의 이면을 연삭 및 연마하여, 상기 완성시의 칩의 두께로 하는 공정은,

제1 지립경(砥粒徑)의 연삭 지석에 의해 상기 웨이퍼의 이면을 상기 완성시의 칩보다 두껍게 연삭 및 연마하는 제1 공정과,

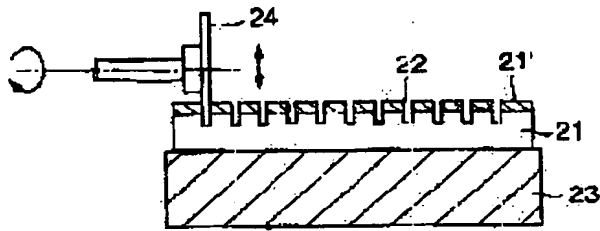
상기 제1 공정에서 연삭 및 연마한 상기 웨이퍼의 이면을, 상기 제1 지립경보다도 작은 제2 지립경의 절삭 지석을 이용하여 상기 완성시의 칩의 두께까지 연삭 및 연마하는 제2 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17

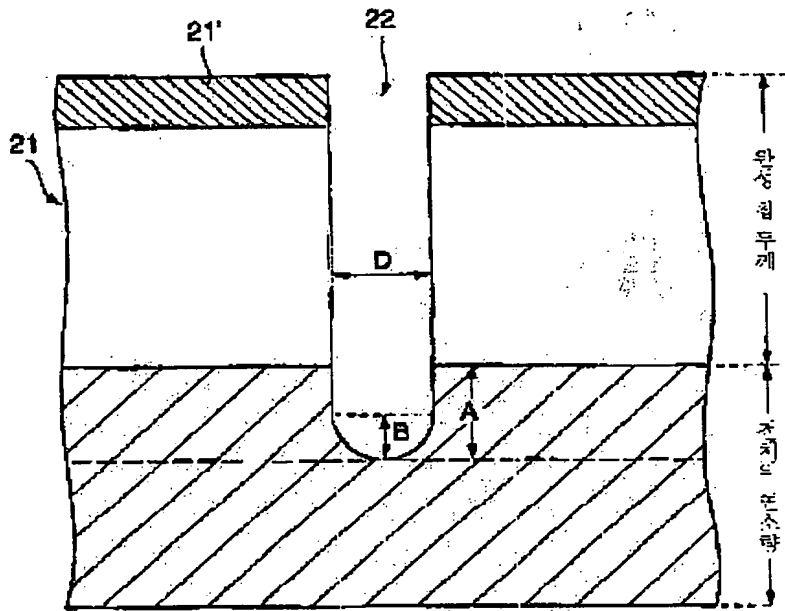
제16항에 있어서, 주요한 상기 제1 지립경은 40~60 μm 이고, 주요한 상기 제2 지립경은 4~6 μm 인 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

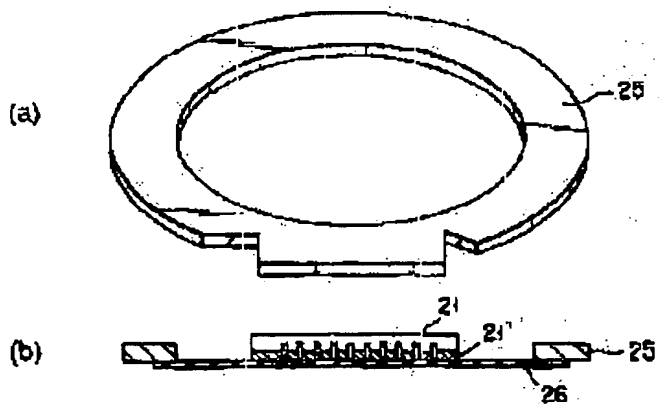
도 1



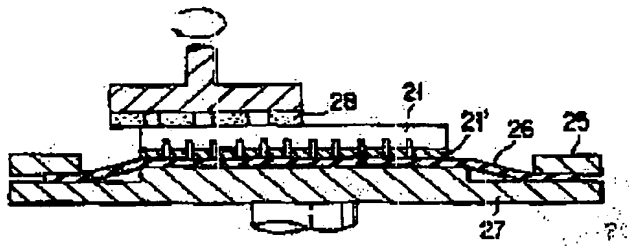
도 2



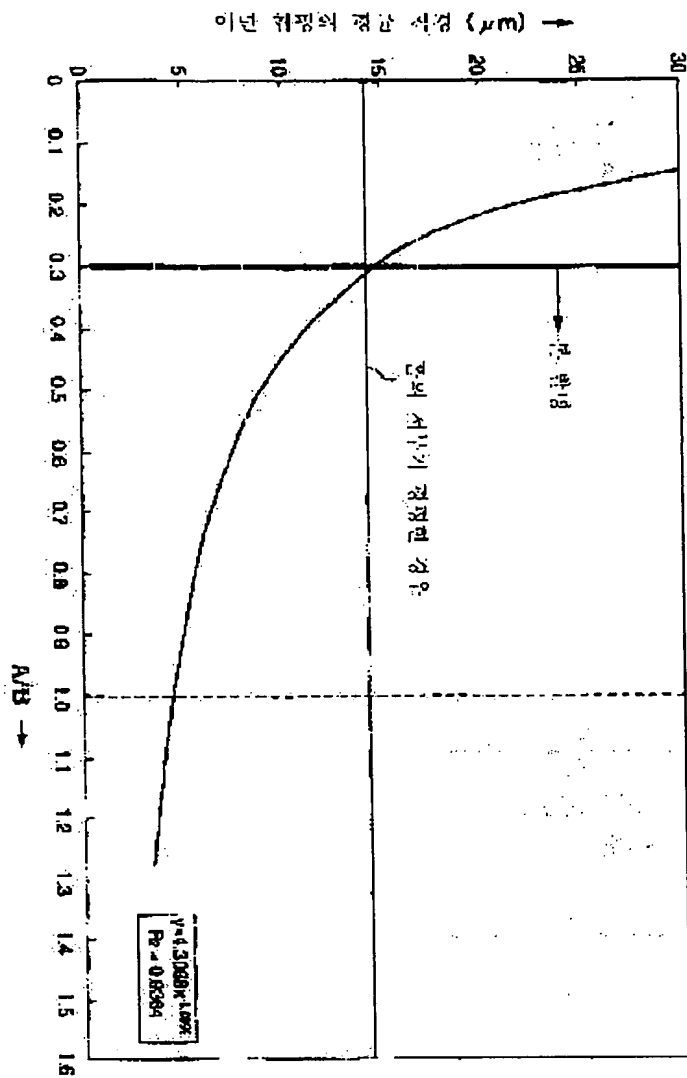
도 3



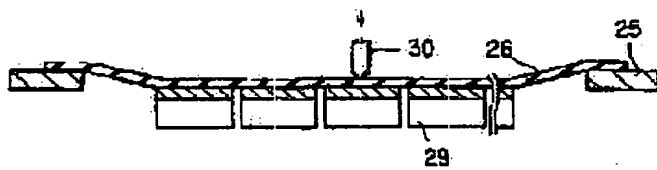
도 4



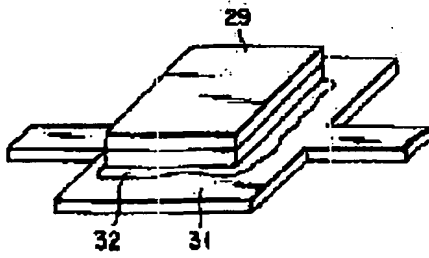
도 5



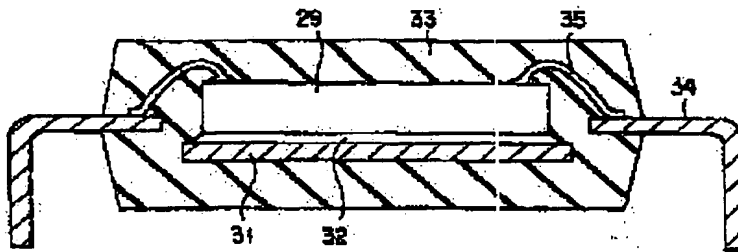
도 6



도 27

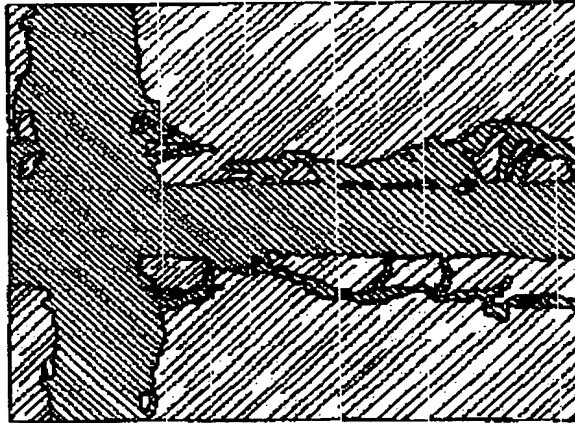


도 28

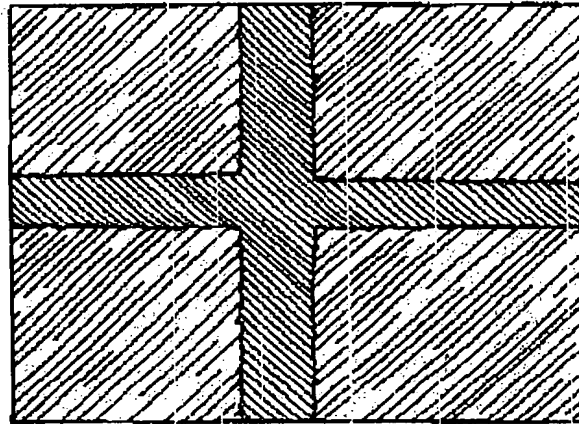


도 10

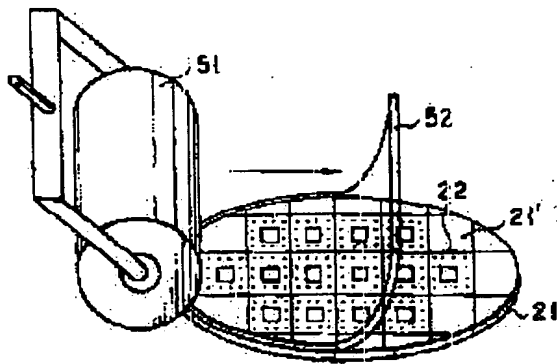
(a)



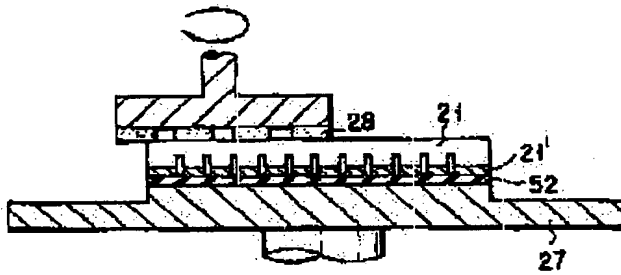
(b)



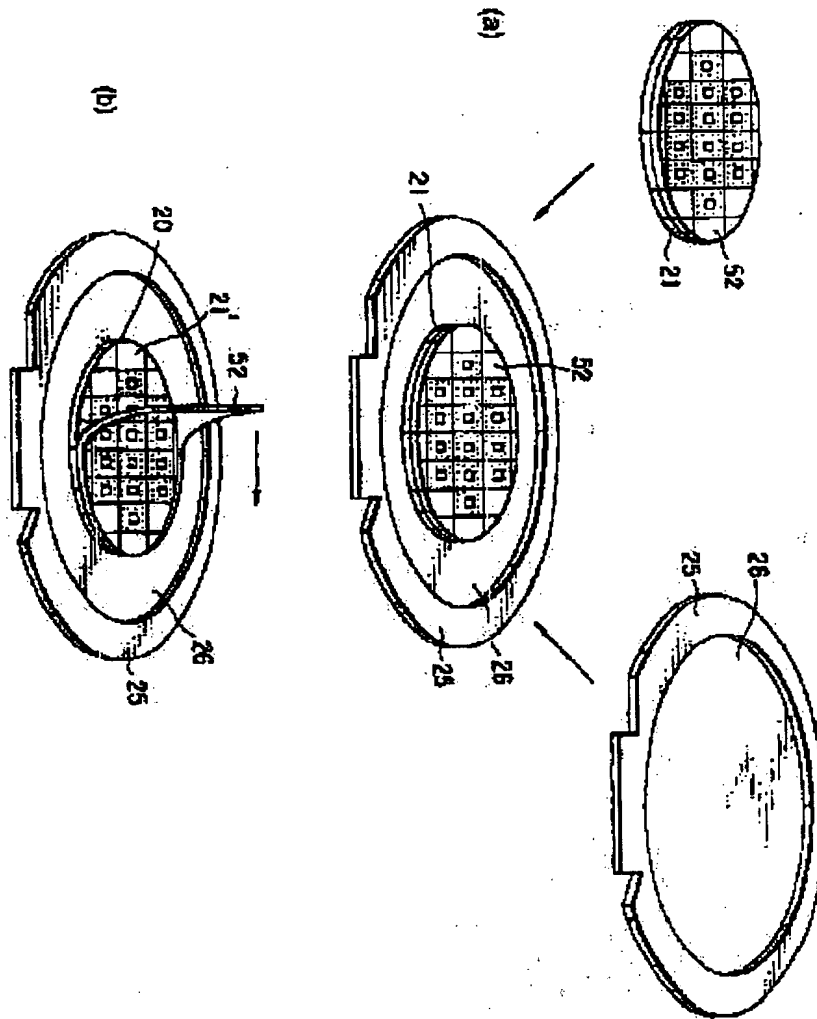
도면10



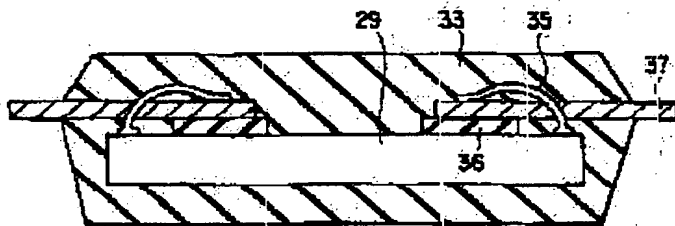
도면11



도면 12



도면 13



504

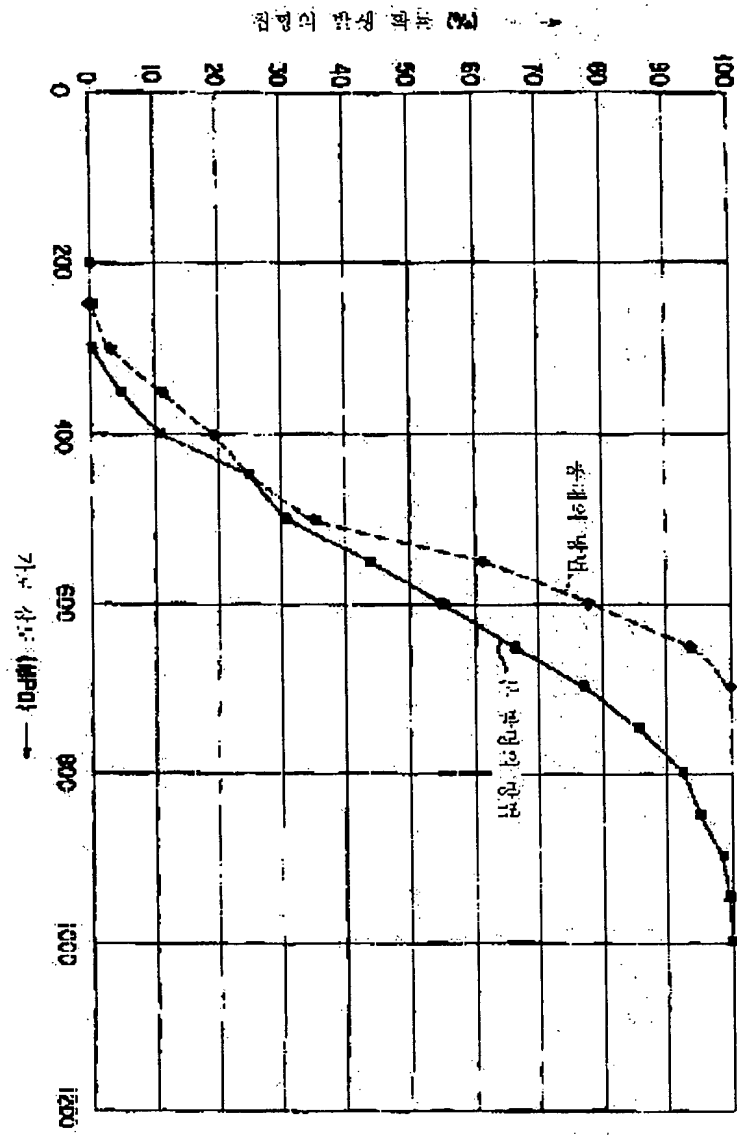
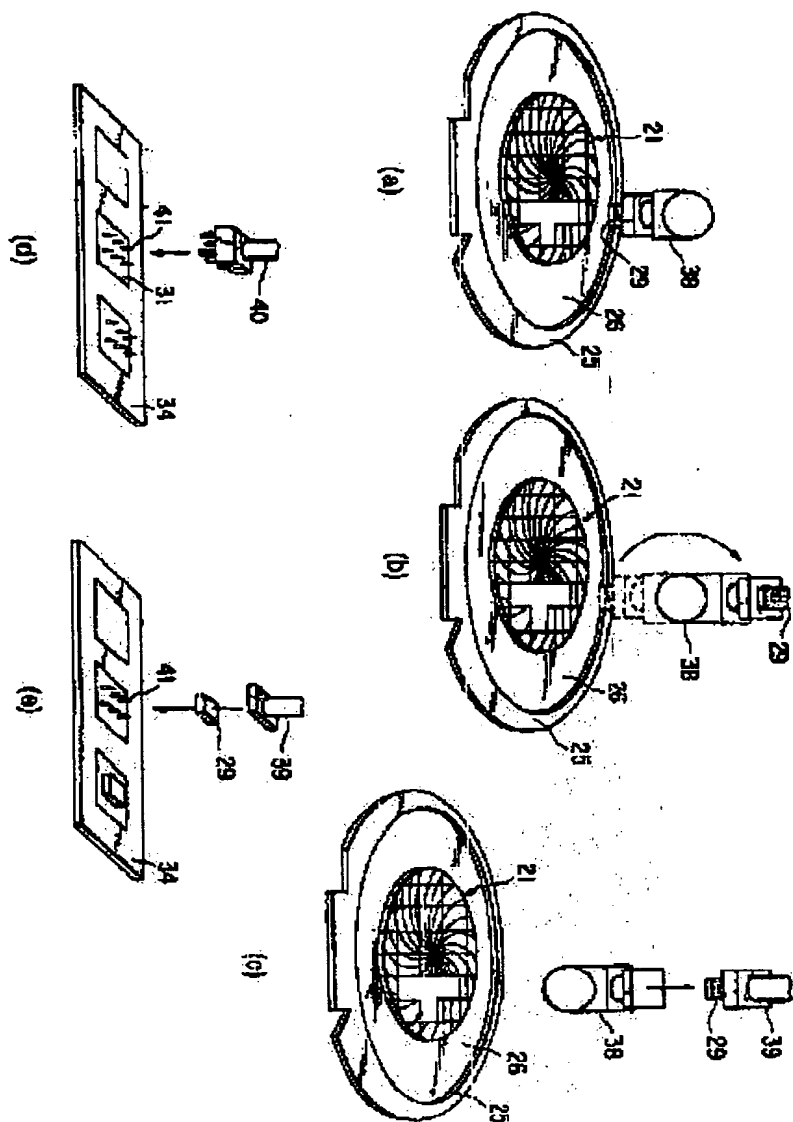
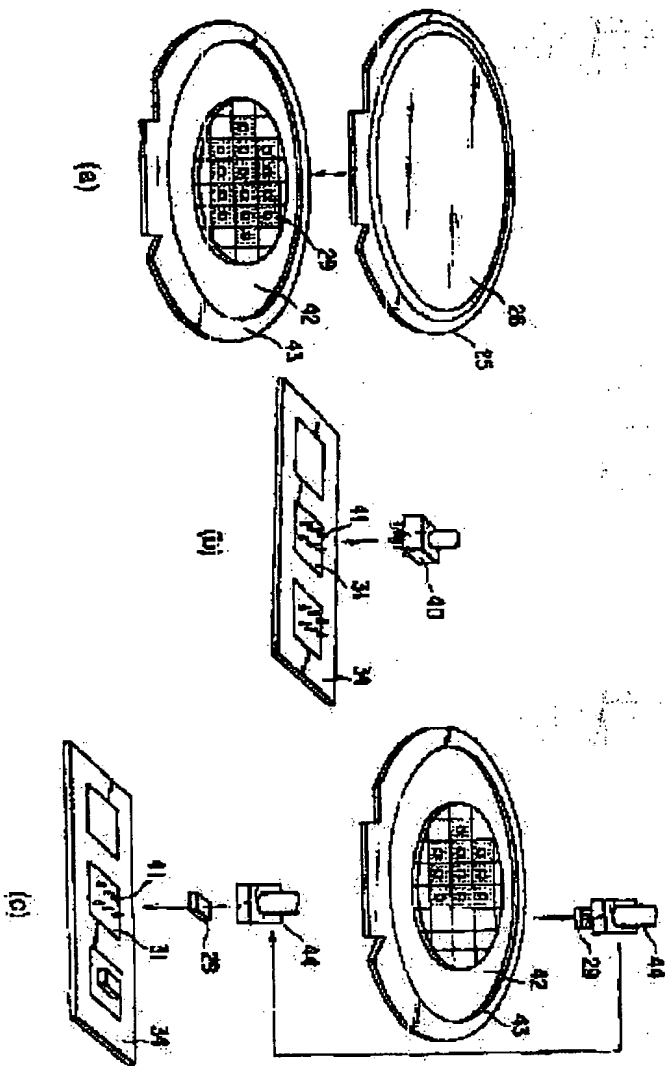


图15



도면 16



도 17

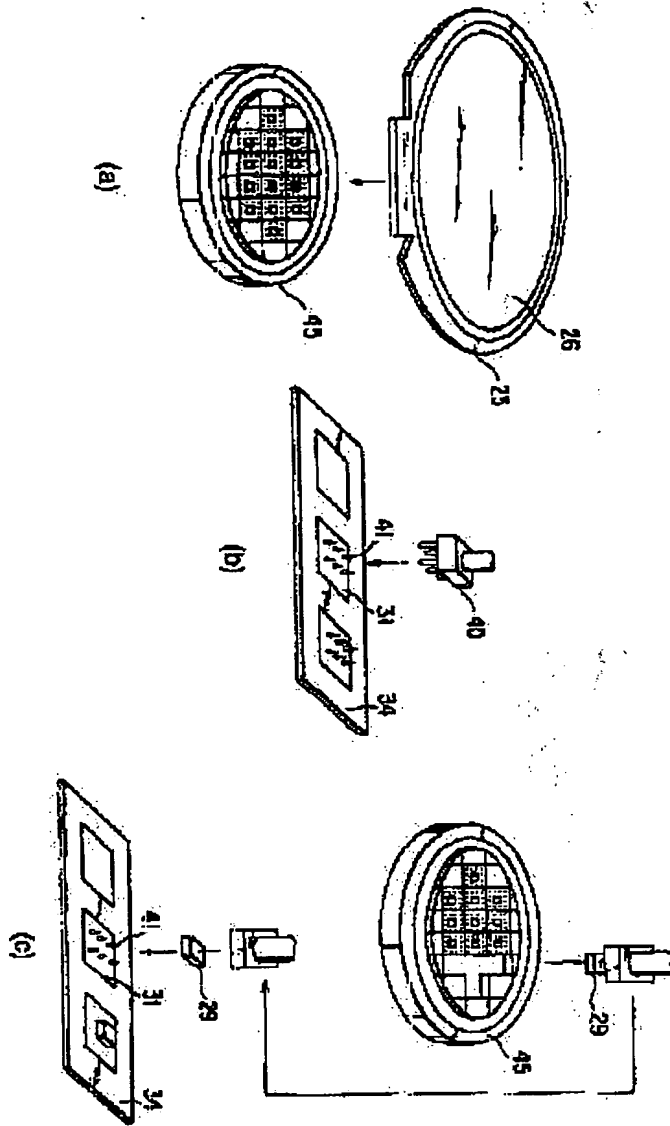
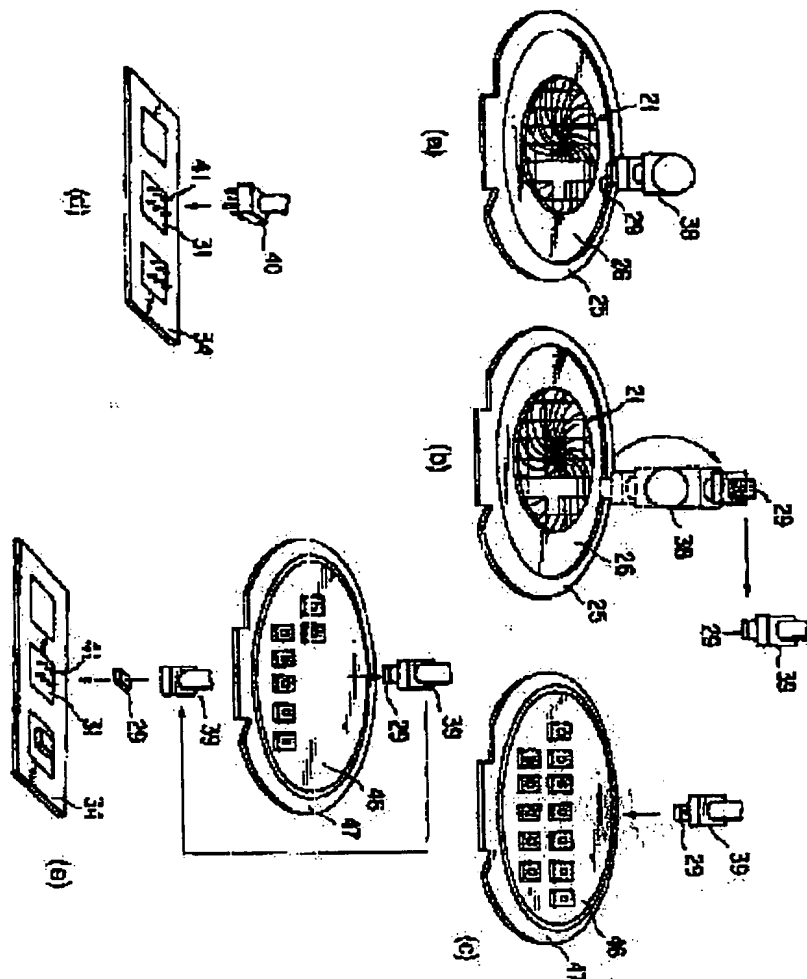
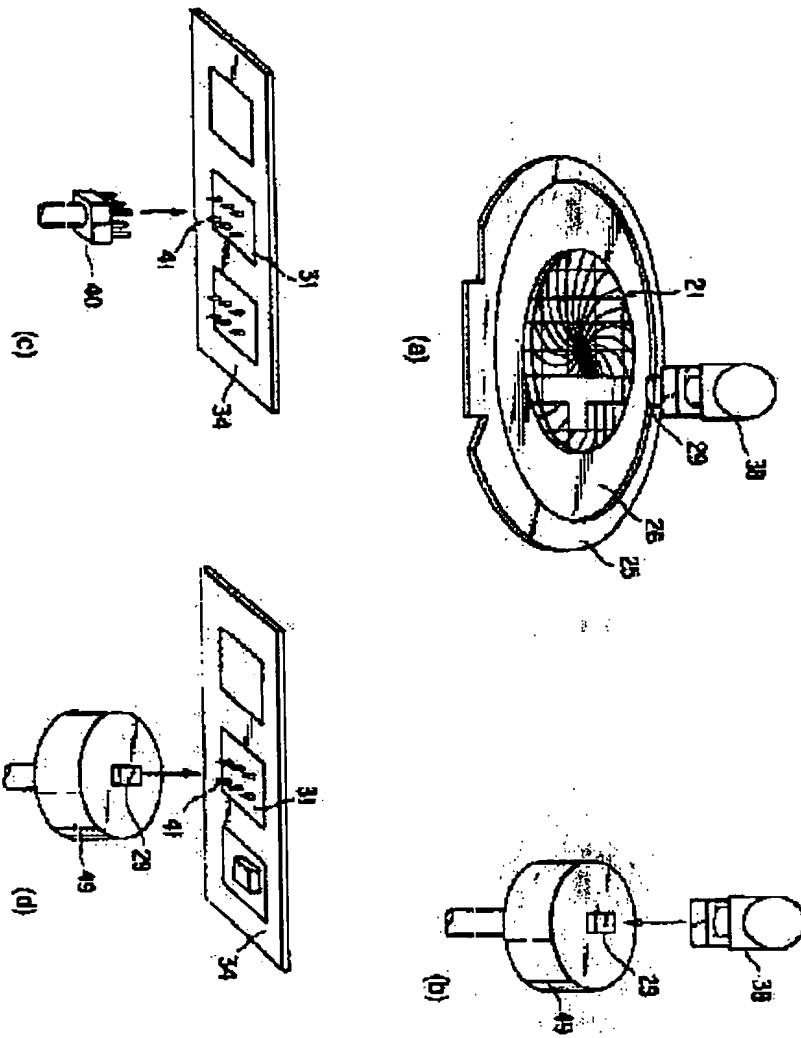


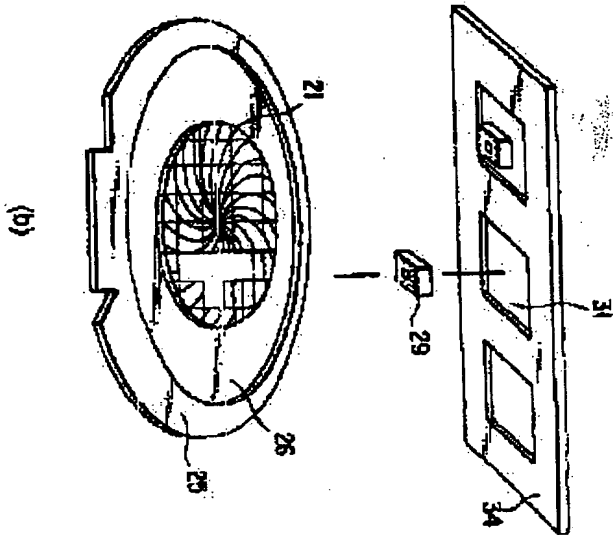
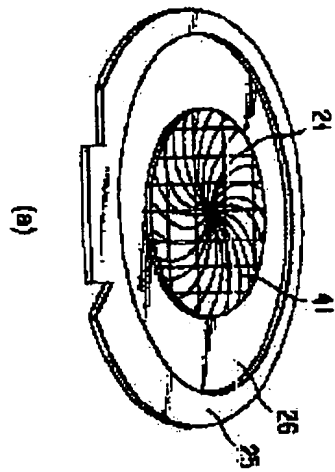
图 18



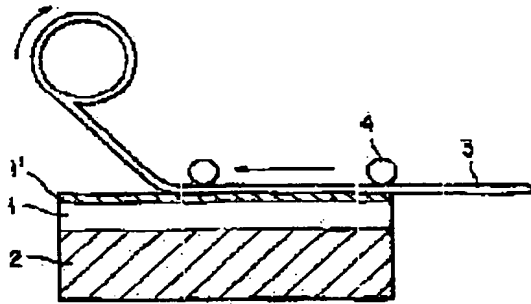
도 20



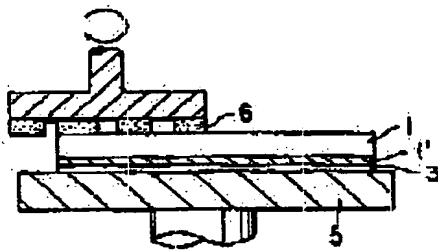
5021



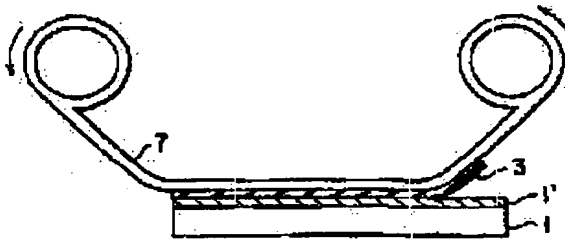
도면22



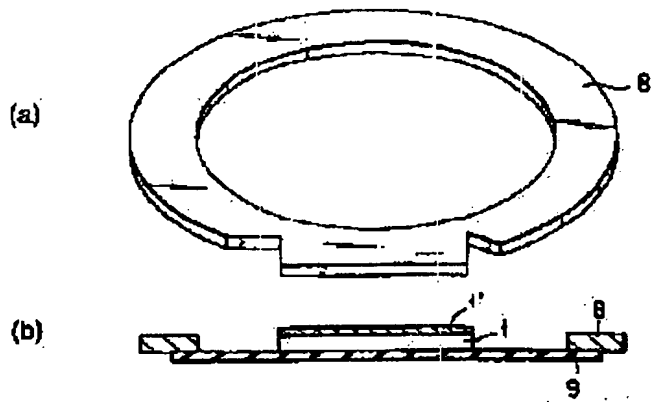
도면23



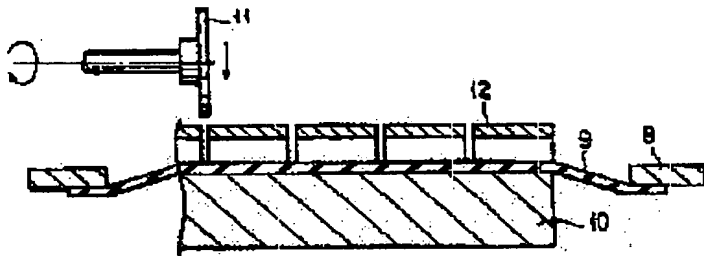
도면24



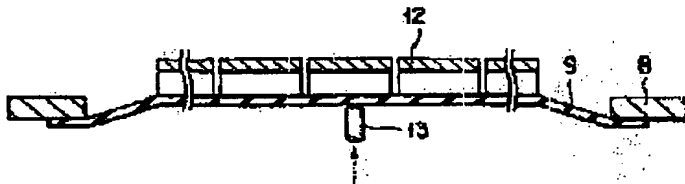
도면 25



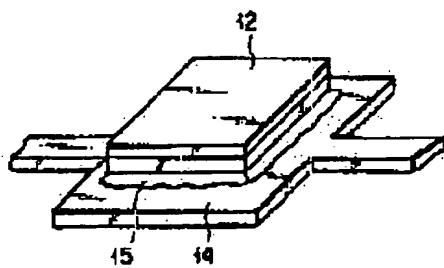
도면 26



도면 27



도면 28



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.